

## 中華民國專利公報 [19] [12]

[11]公告編號：444472

[44]中華民國 90年(2001) 07月01日

發明

全 10 頁

[51] Int.Cl. 06: H04L27/10

[54]名稱：以頻率調變方式為基礎之數位定幅調變器

[21]申請案號：088118723

[22]申請日期：中華民國 88年(1999) 10月28日

[30]優先權：[31]09/183,807

[32]1998/10/30

[33]美國

[72]發明人：

薛勝文

新竹縣竹東鎮光明路七十六巷五十六號

[71]申請人：

華邦電子股份有限公司

新竹科學工業園區研新三路四號

[74]代理人：蔡清福 先生

1

2

[57]申請專利範圍：

1.一種調變器，包含：

一記憶體，用以儲存資訊，該記憶體  
有一輸入用以接收複數個位址信號，  
及一輸出以所接收位址信號為基礎提  
供一數位輸出信號；

一存取迴路，與該記憶體耦合，用以  
對該記憶體及輸入信號提供一組位址  
信號；

一記憶體縮減迴路，與該存取迴路耦  
合，用以接收該存取迴路之輸出信  
號，並該輸出信號回應以對該記憶體  
提供位址信號，且與該記憶體耦合，  
接收該數位輸出信號，並以該數位輸  
出信號為基礎，提供一輸出信號；及  
一數位類比變換器，與該記憶體縮減  
迴路耦合，用以將該記憶體縮減迴路  
之輸出轉換為一類比值。

2.如申請專利範圍第1項之調變器，其中  
該數位類比變換器包括一非線性數位  
類比變換器。

3.如申請專利範圍第2項之調變器，其中  
該非線性數位類比變換器包括：

一解碼器，與該記憶體縮減迴路耦合  
以接收輸入信號，對該輸入信號解  
碼，並以該輸入信號為基礎產生控制  
信號；及

一有限值供應器，與該解碼器耦合以  
該控制信號為基礎對該非線性數位類  
比變換器產生值。

5. 4.如申請專利範圍第3項之調變器，其中  
該有限值供應器包括複數個電壓供應  
器，複數個開關，每一開關分別與一  
電壓供應器耦合以產生一輸出，及一  
總和迴路與該電壓供應器耦合以總和  
該電壓供應器之輸出。

15. 5.如申請專利範圍第3項之調變器，其中  
該有限值供應器包括複數個電流供應  
器，複數個開關，每一開關分別與一  
電流供應器耦合以產生一輸出，及一  
總和迴路與該電流供應器耦合以總和

該電流供應器之輸出。

- 6.如申請專利範圍第1項之調變器，其中該記憶體包括非重複性頻率變化軌跡。
- 7.如申請專利範圍第1項之調變器，其中該數位類比變換器包括一有限值供應器與該記憶體縮減迴路耦合，且其中該記憶體包括解碼非重複性頻率變化軌跡，該記憶體執行一解碼機能。
- 8.如申請專利範圍第7項之調變器，其中該有限值供應器包括複數個電壓供應器，複數個開關，每一開關分別與一電壓供應器耦合以產生一輸出，及一總和迴路與該電壓供應器耦合以總和該電壓供應器之輸出。
- 9.如申請專利範圍第7項之調變器，其中該有限值供應器包括複數個電流供應器，複數個開關，每一開關分別與一電流供應器耦合以產生一輸出，及一總和迴路與該電流供應器耦合以總和該電流供應器之輸出。
- 10.如申請專利範圍第1項之調變器，其中該記憶體存取迴路進一步包括：
  - 一計數器，與該記憶體耦合，用以對該記憶體提供一第一組位址信號；及
  - 一移位暫存器，與該記憶體縮減迴路耦合，用以提供該輸出信號。
- 11.如申請專利範圍第10項之調變器，其中該記憶體縮減迴路進一步包括：
  - 一符號反轉迴路，具有一輸入與該記憶體耦合，用以將該輸入乘上負一；
  - 一多工器，具有一第一輸入與該記憶體耦合，一第二輸入與該符號反轉迴路耦合，一第三輸入與該移位暫存器耦合，及一輸出與該數位類比變換器耦合；
  - 一第一互斥或閘，與該移位暫存器及記憶體耦合，用以對該記憶體提供一第一位址信號；及
  - 一第二互斥或閘，與該移位暫存器及

記憶體耦合，用以對該記憶體提供一第二位址信號。

- 12.如申請專利範圍第7項之調變器，其中該記憶體縮減迴路進一步包括：
  - 一符號反轉迴路，具有一輸入與該記憶體耦合，用以將該輸入乘上負一；
  - 一多工器，具有一第一輸入與該記憶體耦合，一第二輸入與該符號反轉迴路耦合，一第三輸入與該移位暫存器耦合，及一輸出與該數位類比變換器耦合；
  - 一第一互斥或閘，與該移位暫存器及記憶體耦合，用以對該記憶體提供一第一位址信號；及
  - 一第二互斥或閘，與該移位暫存器及記憶體耦合，用以對該記憶體提供一第二位址信號。
- 13.如申請專利範圍第1項之調變器，其進一步包括一類比後置濾波器與該數位類比變換器耦合。
- 14.如申請專利範圍第13項之調變器，其進一步包括衛壓控振盪器與該後置濾波器耦合。
- 15.如申請專利範圍第1項之調變器，其中該數位類比變換器包括7位元及68值。
- 16.如申請專利範圍第1項之調變器，其中該數位類比變換器包括5位元及30值。
- 17.如申請專利範圍第10項之調變器，其中該計數器為一N=12內插計數器。
- 18.如申請專利範圍第10項之調變器，其中該移位暫存器為一3階段，3位元移位暫存器。
- 19.如申請專利範圍第1項之調變器，其中該記憶體為一96乘7位元唯讀記憶體。
- 20.如申請專利範圍第1項之調變器，其中該記憶體為一48乘5位元唯讀記憶體。

(3)

5

21.一種用以簡化一調變器之方法，該調變器具有一儲存頻率變化軌跡之記憶體，該記憶體具有一大小及寬度，且一數位類比變換器具有複數個值，與該記憶體耦合，該方法包含以下步驟：

藉由縮減該數位類比變換器之輸出值數縮減該記憶體之寬度；及  
藉由利用該頻率變化軌跡對一第一軸之對稱性縮減該記憶體之大小。

圖式簡單說明：

第一圖為一繪出習知相位正交調變器之方塊圖。

第二圖為一依據本發明一實施例配置之單通道調變器之方塊圖。

第三圖 A 和第三圖 B 分別繪出具有 68 個輸出值及 30 個輸出值之高斯低通濾波器(GLPF)之頻率變化軌跡圖形。第三圖 C 和第三圖 D 分別繪出第三圖 A 和第三圖 B 之高斯低通濾波器輸出值之圖形。

第四圖為一較詳細繪出依據本發明

6

一實施例配置之第二圖單通道調變器之方塊圖。

第五圖較詳細繪出依據本發明一實施例配置之第四圖單通道調變器。

第六圖較詳細繪出第五圖之記憶體縮減迴路。

第七圖較詳細繪出第六圖之非線性數位類比變換器。

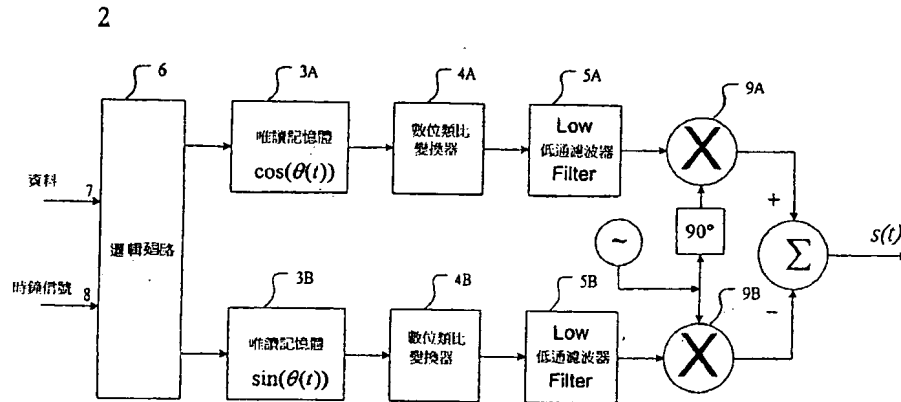
第八圖 A 較詳細繪出依據本發明一第二實施例配置之第四圖單通道調變器。第八圖 B 較詳細繪出第八圖 A 之記憶體縮減迴路。

第九圖為一繪出本發明一實施例中利用之一高斯低通濾波器之單位脈衝回應之圖形。

第十圖繪出本發明一實施例中用到之八種可能頻率變化軌跡及對應傳輸資料型樣。

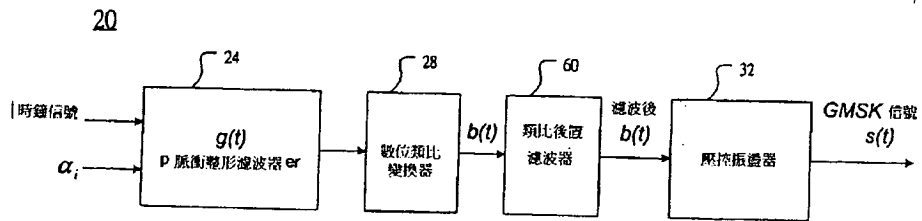
第十一圖為一繪出第十圖所有頻率軌跡套疊在一單一圖上之圖形。

第十二圖為一繪出能儲存於第八圖 A 記憶體內之編碼頻率軌跡之表。

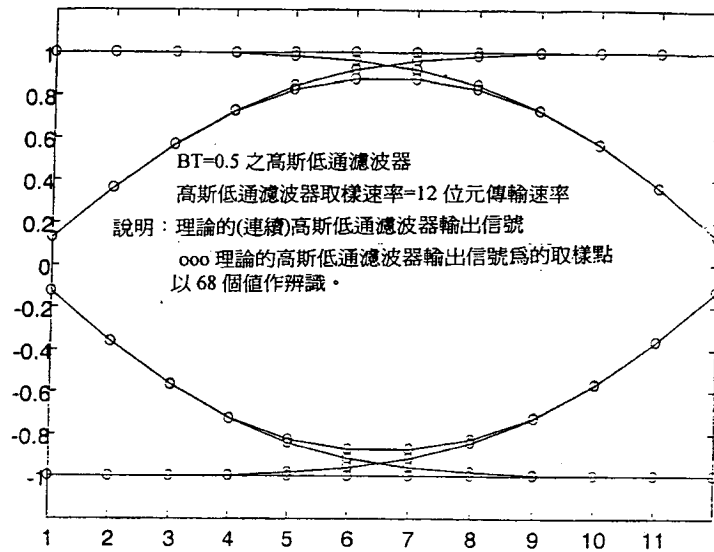


第一圖

(4)

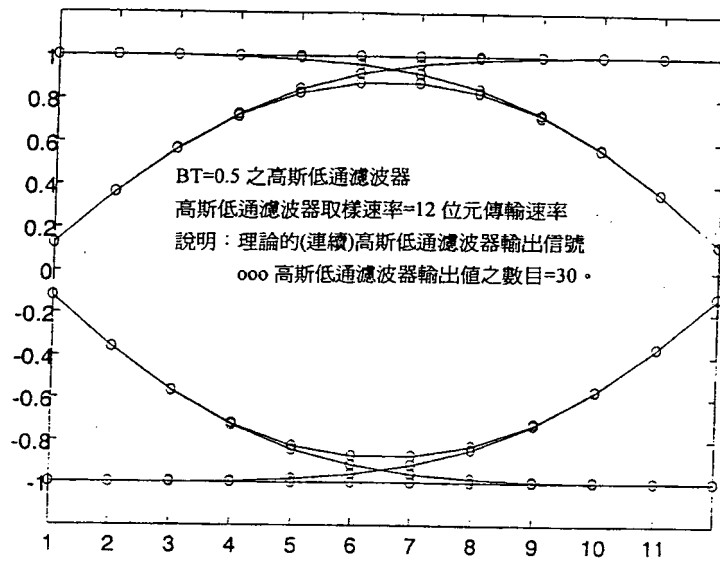


第二圖

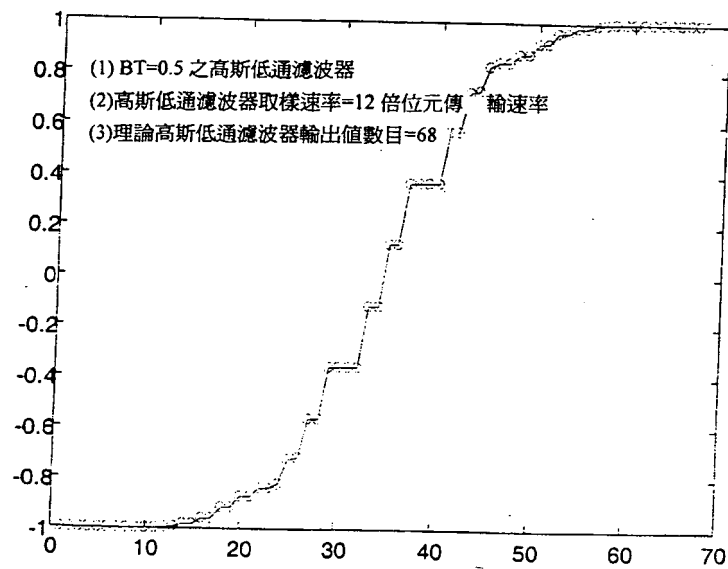


第三圖 A

(5)

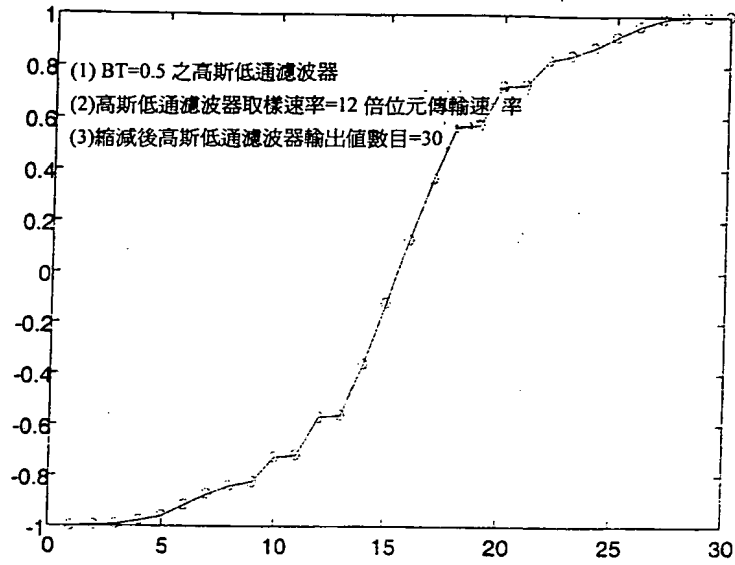


第三圖 B

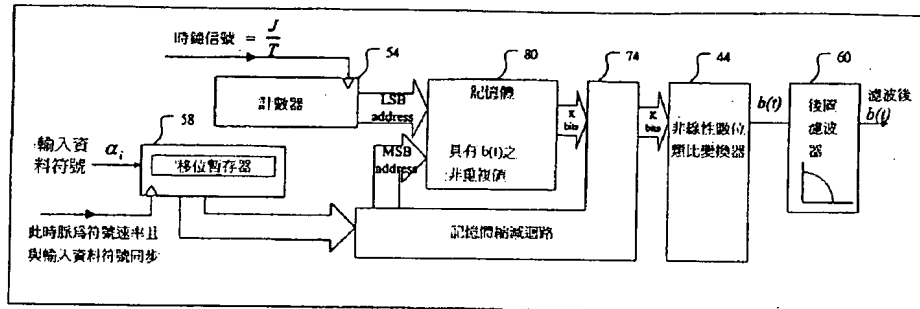


第三圖 C

(6)

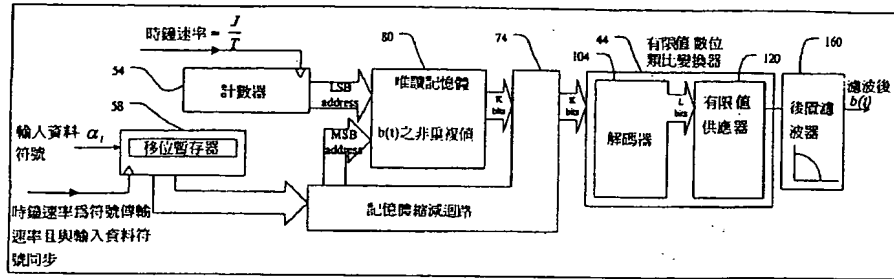


第三圖 D

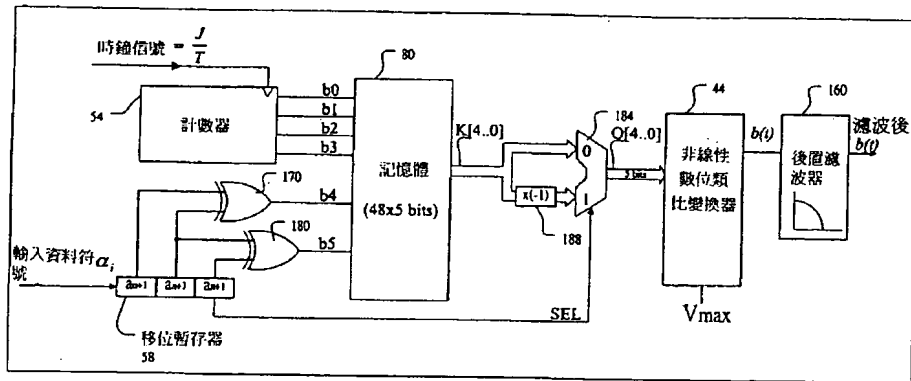


第四圖

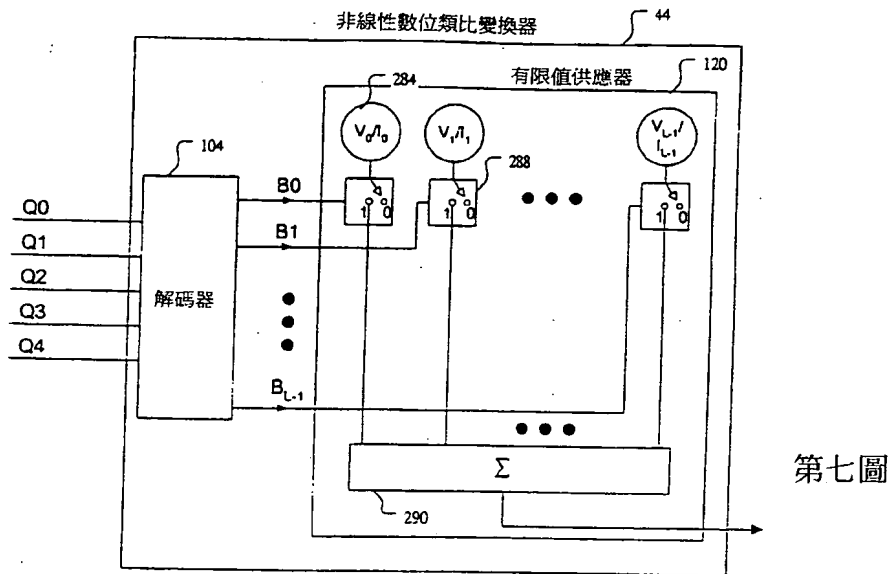
(7)



第五圖

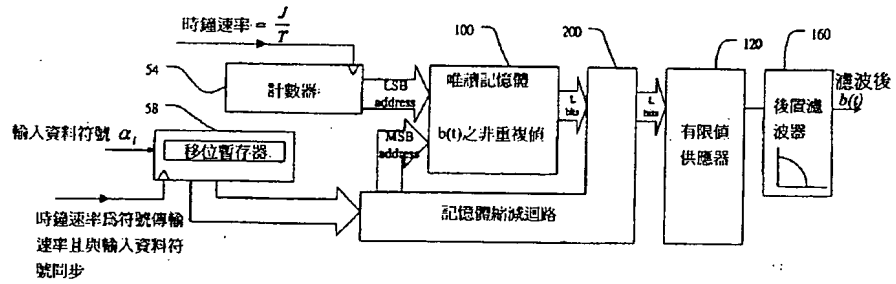


第六圖

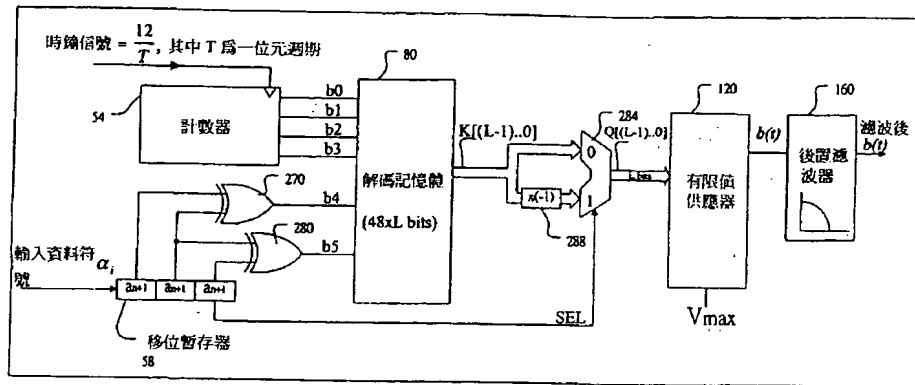


第七圖

(8)



A

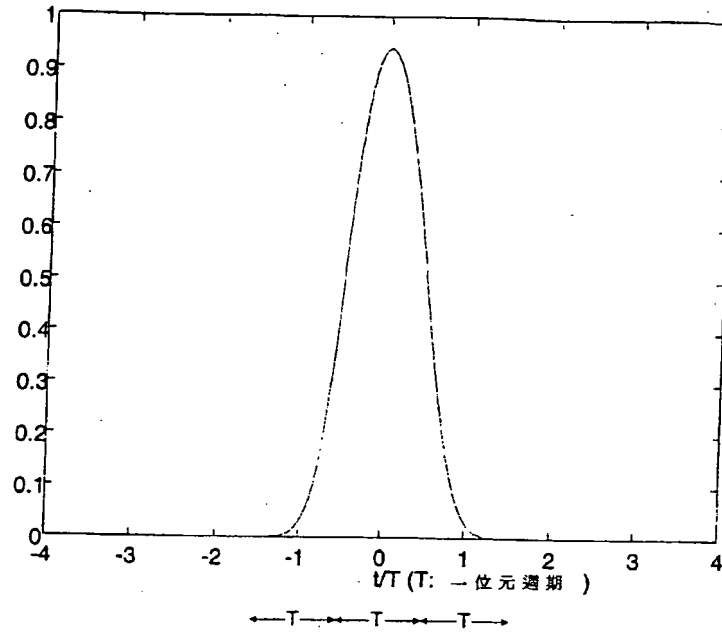


B

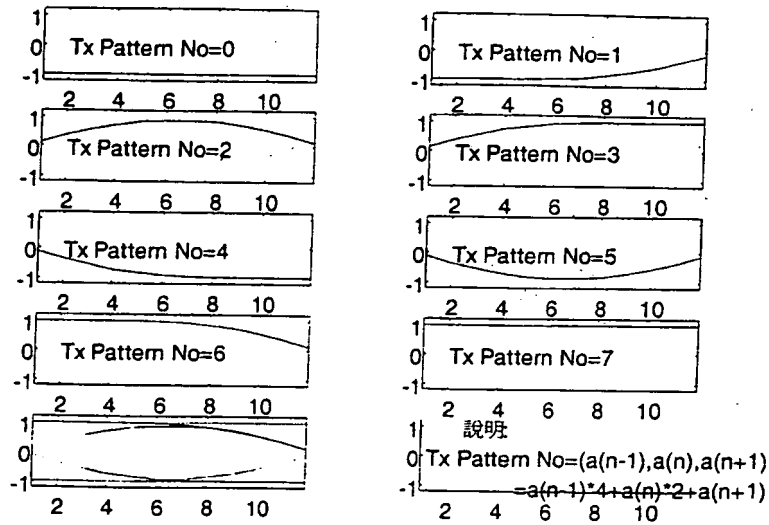
第八圖



(9)

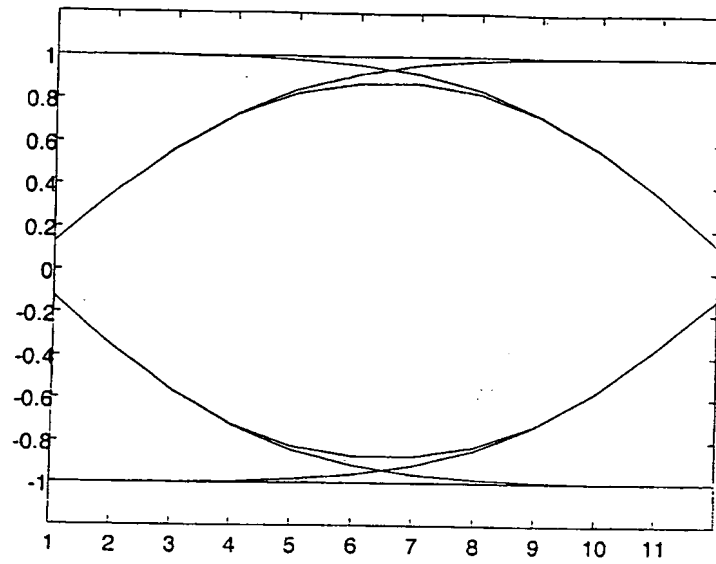


第九圖



第十圖

(10)



第十一圖

傳輸資料位元			在一位元間隔期間之取樣號數											
$a_{n-1}$	$a_n$	$a_{n+1}$	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)
0	0	1	(1)	(1)	(2)	(3)	(4)	(5)	(6)	(8)	(10)	(12)	(14)	(15)
0	1	0	(16)	(17)	(18)	(20)	(22)	(24)	(24)	(22)	(20)	(18)	(17)	(16)
0	1	1	(16)	(17)	(19)	(21)	(23)	(25)	(26)	(27)	(28)	(29)	(30)	(30)
1	0	0	(15)	(14)	(12)	(10)	(8)	(6)	(5)	(4)	(3)	(2)	(1)	(1)
1	0	1	(15)	(14)	(13)	(11)	(9)	(7)	(7)	(9)	(11)	(13)	(14)	(15)
1	1	0	(30)	(30)	(29)	(28)	(27)	(26)	(25)	(23)	(21)	(19)	(17)	(16)
1	1	1	(30)	(30)	(30)	(30)	(30)	(30)	(30)	(30)	(30)	(30)	(30)	(30)

第十二圖

# 公告本

申請日期：

88.10.28

案號：

881187-3

類別：

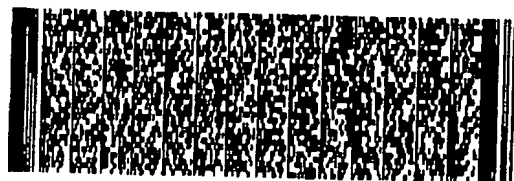
H04L27/10

(以上各欄由本局填註)

## 發明專利說明書

444472

一、 發明名稱	中文	以頻率調變方式為基礎之數位定幅調變器
	英文	The Digital Constant Amplitude Modulator Based on Frequency Modulated Scheme
二、 發明人	姓名 (中文)	1. 薛勝文
	姓名 (英文)	1. SHENG-WEHN SHYUE
	國籍	1. 中華民國
	住、居所	1. 新竹縣竹東鎮二重里12鄰光明路76巷56號
三、 申請人	姓名 (名稱) (中文)	1. 華邦電子股份有限公司
	姓名 (名稱) (英文)	1. Winbond Electronics Corp.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學園區研新三路四號
	代表人 姓名 (中文)	1. 焦佑鈞
	代表人 姓名 (英文)	1. Arthur, Y. C. Chiao



444472

本案已向

國(地區)申請專利

美國 US

申請日期

案號

主張優先權

1998/10/30 09/183,807

有

有關微生物已寄存於

寄存日期

寄存號碼

無

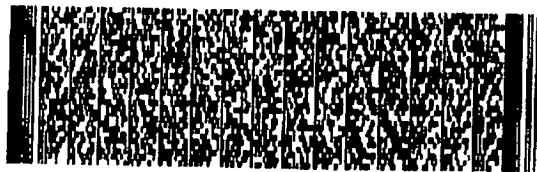


四、中文發明摘要 (發明之名稱：以頻率調變方式為基礎之數位定幅調變器)

一種改良單通道調變器，其利用一記憶體縮減迴路。該單通道調變器接收輸入資料符號及一時鐘信號並對其回應，產生頻率變化軌跡 $b(t)$ ，用以產生一調變信號 $s(t)$ 。在此提供一種改良數位脈衝整形濾波器，其在該輸入資料符號及一脈衝整形濾波器方程式 $g(t)$ 間執行一捲積作業。該脈衝整形濾波器包括一計數器，一移位暫存器，及一記憶體儲存脈衝整形反應之編碼非重複值。該記憶體有一接收位址信號之輸入。該計數器提供一送至該記憶體之第一組位址信號，而該移位暫存器提供一輸出。一記憶體縮減迴路與該移位暫存器耦合以接收一輸入資料符號，且以該輸入資料符號為基礎對該記憶體提供一第二組位址信號。該記憶體縮減迴路亦選擇性提供該記憶體之輸出或一該記

英文發明摘要 (發明之名稱：The Digital Constant Amplitude Modulator Based on Frequency Modulated Scheme)

An improved single channel modulator employs a memory reduction circuit. The single channel modulator receives input data symbols and a clock signal, and responsive thereto, generates frequency variation trajectories  $b(t)$  that are used to generate a modulated signal  $s(t)$ . An improved digital pulse shaping filter that performs a convolution operation between the input data symbols and a pulse shaping filter function  $g(t)$  is provided. The pulse shaping filter

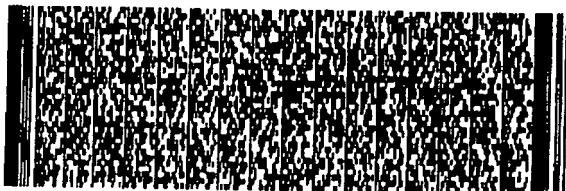


四、中文發明摘要 (發明之名稱：以頻率調變方式為基礎之數位定幅調變器)

憶體之修改後輸出。一非線性數位類比變換器(DAC)與該記憶體縮減迴路耦合以將該記憶體縮減迴路之輸出變換為一對應數位值。一濾波器與該數位類比變換器耦合以過濾該數位類比變換器之輸出並提供頻率變化軌跡 $b(t)$ 。

英文發明摘要 (發明之名稱：The Digital Constant Amplitude Modulator Based on Frequency Modulated Scheme)

includes a counter, a shift register, and a memory that stores encoded non-duplicative values of the pulse shaping responses. The memory has an input for receiving address signals. The counter provides a first set of address signals to the memory, and the shift register provides an output. A memory reduction circuit is coupled to the shift register to receive an input data symbol, and based on the input data symbol, provides a second set of address signals to the memory. The memory



四、中文發明摘要 (發明之名稱：以頻率調變方式為基礎之數位定幅調變器)

英文發明摘要 (發明之名稱：The Digital Constant Amplitude Modulator Based on Frequency Modulated Scheme)

reduction circuit also selectively provides either the output of the memory or a modified output of the memory. A non-linear digital to analog converter (DAC) is coupled to the memory reduction circuit for converting the output of the memory reduction circuit to a corresponding digital value. A filter is coupled to the DAC to filter the output of the DAC and provide the frequency variation trajectories  $b(t)$ .



四、中文發明摘要 (發明之名稱：以頻率調變方式為基礎之數位定幅調變器)

英文發明摘要 (發明之名稱：The Digital Constant Amplitude Modulator Based on Frequency Modulated Scheme)



## 五、發明說明 (1)

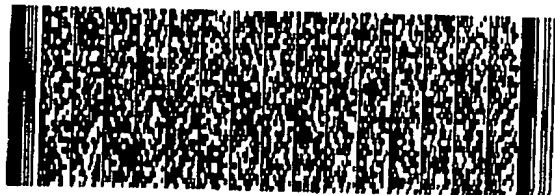
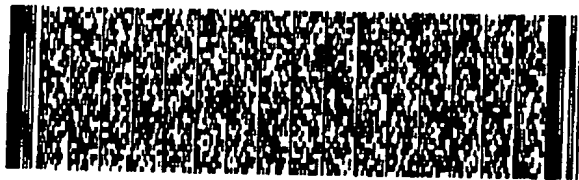
本發明大體上關於調變器，更明確地說，關於一種利用一記憶體縮減迴路之改良調變器。

無線電話 (wireless telephone，一般亦稱為 cordless telephone) 日漸普及於家庭及辦公室中。由於無線電話提供讓使用者不受限於電話線且許可使用者四處移動而不必顧慮電話線之長度及其他限制，是以無線電話提供超過有線電話許多之便利性及彈性。一典型無線電話之基本組件有：(1) 一底座，連接至一電話插孔，其提供與一中央辦公室之連接；及 (2) 一電話聽筒，其為可攜式且可與該底座相隔遙遠。聲音資料在該底座與該聽筒間通訊。

在無線電話之設計及執行上有兩項重要考量點。第一，底座與聽筒兩者所利用之組件要能使所成系統提供該底座與聽筒間通訊之一品質良好且精確之聲音資料。第二，在滿足第一項要求之同時要盡可能降低該組件之成本。

一發射器為該底座與聽筒增進兩者間傳輸聲音資料所必需之重要組件。該發射器中有一重要組件即是一調變器，其將聲音資料調變為一適合傳輸之調變信號。習知調變器複雜，難以製造，且相當昂貴。由於調變器在每一無線電話系統中使用兩次（亦即供應於底座處及聽筒內），調變器迴路設計中之任何節約成本及簡化均乘上兩倍。

習知無線電話利用之發射器使用一相位正交調變器，其為此技藝中所熟知。實例包括以下美國專利案：No.

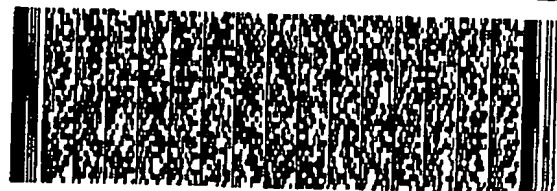
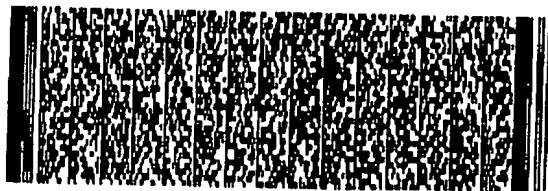


## 五、發明說明 (2)

5022054 (Wang) , 標題為 "Digital GMSK Modulator with Non-integer Bit Interval Handling" ; 及No. 5121412 (Borth) , 標題為 "All-Digital Quadrature Modulator" 。

第一圖繪出一習知調變器之一般機能性方塊圖。更明確地說，第一圖為一描繪一習知相位正交調變器2之方塊圖。相位正交調變器2包括邏輯迴路6，其接收一時鐘信號8及將傳輸之資料7。邏輯迴路6對一第一通道及一第二通道提供位址信號。第一通道包括一第一唯讀記憶體 (ROM) 3A，一第一數位類比變換器 (DAC) 4A，一第一低通濾波器 (LPF) 5A，及一以串聯耦合之第一混頻器9A。該第二通道與該第一通道平行，其包括一第二唯讀記憶體3B，一第二數位類比變換器4B，一第二低通濾波器5B，及一以串聯耦合之第二混頻器9B。該第一通道標示為I通道，該第二通道標示為Q通道。混頻器9A和9B之輸出加在一起產生一調變信號 $s(t)$ 。在此註明該兩通道係用以增加將傳輸聲音信號之正確度及品質。

然而此一習知調變器具有以下缺點。首先，使用兩個通道會重複數個種迴路元件（例如兩個唯讀記憶體3A和3B，兩個數位類比變換器4A和4B，兩個低通濾波器5A和5B，兩個混頻器9A和9B），從而增加調變器之成本及生產該發射器之整體成本。再者，由於利用唯讀記憶體3A和3B生成數位波形 $s(t)$ ，唯讀記憶體3A和3B包括供正弦及餘弦載波信號，正弦及餘弦相位資料信號，乘法器及加法器使



## 五、發明說明 (3)

用之對照表，因而使唯讀記憶體3A和3B之大小變得過大。由於唯讀記憶體3A和3B典型為埋入式唯讀記憶體，空間上之考量更顯重要。再者，此一習知調變器所利用之複雜數位類比變換器之生產及套用亦相當昂貴。

基於前述原因，在此需要一種克服前述缺點之改良調變器。

本發明之一主題為提供一種改良數位調變器，其利用單一通道。

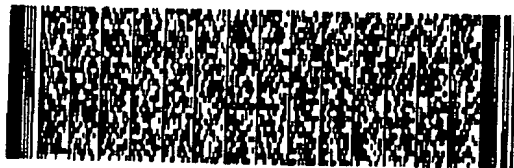
本發明之另一主題為提供一種改良調變器，其利用對應於傳輸型樣之頻率變化軌跡之對稱性縮減所用記憶體之大小。

本發明之另一主題為提供一種數位調變器，其利用一記憶體縮減迴路縮減完成該調變器所用之組件大小。

本發明之另一主題為提供一種調變器，其具有一較習知技藝調變器所用記憶體大小小之縮減大小記憶體。在本發明中，記憶體之大小及寬度均有縮減。縮減記憶體大小及寬度造成成本及空間之節省。

本發明之另一主題為提供一種調變器，其具有較少整形濾波器輸出值 (level)，使一數位類比變換器可能較習知調變器中所用數位類比變換器具有較少位元及對應之較少值。一備有較少位元及值之數位類比變換器較一備有較大位元及值之數位類比變換器更有經濟效益且較易於執行。

為達成本發明之主題，一調變器具有一數位脈衝整形



#### 五、發明說明 (4)

濾波器，其在輸入資料符號與一脈衝整形方程式 $g(t)$ 間執行一捲積作業。該脈衝整形濾波器包括一計數器，一移位暫存器，一記憶體儲存一脈衝整形反應之編碼非重複值。該記憶體有一接收位址信號之輸入。該計數器提供一送至該記憶體之第一組位址信號，而該移位暫存器提供一輸出。一記憶體縮減迴路與該移位暫存器耦合以接收一輸入資料符號，且以該輸入資料符號為基礎對該記憶體提供一第二組位址信號。該記憶體縮減迴路亦選擇性提供該記憶體之輸出或一該記憶體之修改後輸出。一數位類比變換器與該記憶體縮減迴路耦合以將該記憶體縮減迴路之輸出變換為一對應數位值。一濾波器與該數位類比變換器耦合以過濾該數位類比變換器之輸出並提供頻率變化軌跡 $b(t)$ 。所得信號 $b(t)$ 由一壓控振盪器 (VCO) 利用產生一適於傳輸之調變信號。

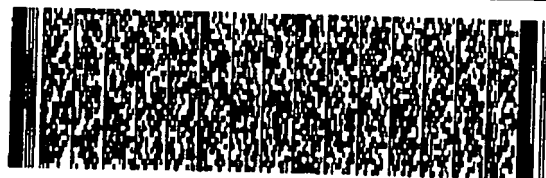
本發明藉由附屬圖式中之實例以說明而非限制之方式加以圖解說明，圖中相同參考數字代表相似元件，其中：

第一圖為一繪出習知相位正交調變器之方塊圖。

第二圖為一依據本發明一實施例配置之單通道調變器之方塊圖。

第三圖A和第三圖B分別繪出具有68個輸出值及30個輸出值之高斯低通濾波器 (GLPF) 之頻率變化軌跡圖形。第三圖C和第三圖D分別繪出第三圖A和第三圖B之高斯低通濾波器輸出值之圖形。

第四圖為一較詳細繪出依據本發明一實施例配置之第



## 五、發明說明 (5)

二圖單通道調變器之方塊圖。

第五圖較詳細繪出依據本發明一實施例配置之第四圖單通道調變器。

第六圖較詳細繪出第五圖之記憶體縮減迴路。

第七圖較詳細繪出第六圖之非線性數位類比變換器。

第八圖A較詳細繪出依據本發明一第二實施例配置之第四圖單通道調變器。第八圖B較詳細繪出第八圖A之記憶體縮減迴路。

第九圖為一繪出本發明一實施例中利用之一高斯低通濾波器之單位脈衝回應之圖形。

第十圖繪出本發明一實施例中用到之八種可能頻率變化軌跡及對應傳輸資料型樣。

第十一圖為一繪出第十圖所有頻率軌跡套疊在一單一圖上之圖形。

第十二圖為一繪出能儲存於第八圖A記憶體內之編碼頻率軌跡之表。

2：相位正交調變器

3A：第一唯讀記憶體 (ROM)，

3B：第二唯讀記憶體

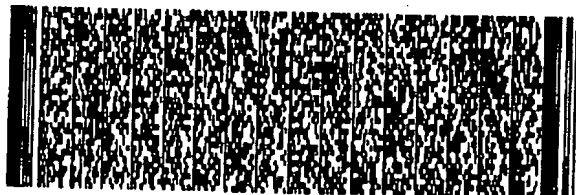
4A：第一數位類比變換器 (DAC)

4B：第二數位類比變換器

5A：第一低通濾波器 (LPF)

5B：第二低通濾波器

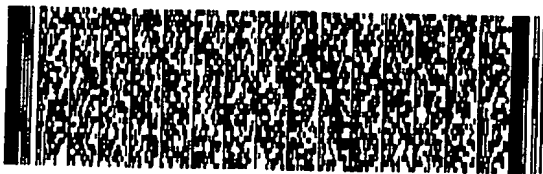
6：邏輯迴路



## 五、發明說明 (6)

- 7 : 資料
- 8 : 時鐘信號
- 9A : 第一混頻器
- 9B : 第二混頻器
- 20 : 單通道調變器
- 24 : 脈衝整形濾波器
- 28 : 數位類比變換器
- 32 : 壓控振盪器 (VCO)
- 44 : 數位類比變換器
- 54 : 計數器
- 58 : 移位暫存器
- 60 : 濾波器
- 74、200 : 記憶體縮減迴路
- 80、100 : 記憶體
- 104 : 解碼器
- 120 : 有限值供應器
- 170、270 : 第一互斥或 (XOR) 閘
- 180、280 : 第二互斥或閘
- 184、284 : 多工器 (MUX)
- 188、288 : 符號反轉迴路
- 284 : 電流供應器
- 288 : 複數個開關
- 290 : 總和迴路

在此揭示一種改良單通道調變器。在以下範例性說明



## 五、發明說明 (7)

中將提出許多特殊細部以提供對本發明之透徹了解。然而對習於此技藝者而言本發明很明顯可能在沒有該特殊細部之情況下實施。在其他實例中，習知結構及裝置以方塊圖之形式顯示以避免不必要地使本發明受到混淆。

調變計劃

一定幅調變計劃之大綱由下式定義：

$$s(t) = \sqrt{\frac{2E}{T}} \cos[2\pi f_0 t + \theta(t, a)]$$

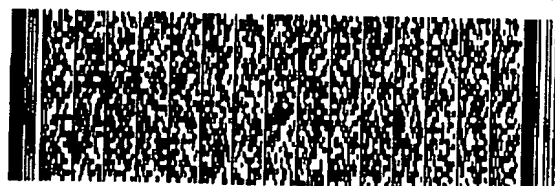
其中  $s(t)$  代表調變信號，且傳輸資訊為同相，

$$\theta(t, a) = 2\pi f_d \sum_{i=-\infty}^{\infty} a_i q(t - iT),$$

其中  $q(t) = \int_{-\infty}^t g(\tau) d\tau$

在上述關係中， $f_d$  為一頻率偏差常數，且  $a_i$  為不歸零 (NRZ) 與  $M$  有關 ( $M$ -ary) 輸入資料符號。 $g(t)$  代表高斯低通濾波器脈衝整形信號。舉例來說， $g(t)$  得為一平滑脈衝整形信號除以一有限間隔 ( $0 \leq t \leq LT$ )，其中  $L$  為脈衝長度， $E$  為信號  $s(t)$  之能量， $T$  為一符號週期。本發明利用以上基本關係。

本發明之調變器提供以下特質：(1) 一單通道實施，省去重複迴路元件；(2) 一個三位元傳輸型樣；(3) 一個對應於該傳輸型樣之頻率軌跡之對稱性辨識，其許可用於一種較習知調變器所用記憶體大小具有縮減大小之記憶體；(4) 一種記憶體縮減迴路，其利用前述對稱性並提供對該縮減記憶體之存取；及 (5) 一在整形濾波器輸出值數量之縮減，其許可用於一種較習知調變器所用數位類比變換器具有較少位元之非線性數位類比變換器。



## 五、發明說明 (8)

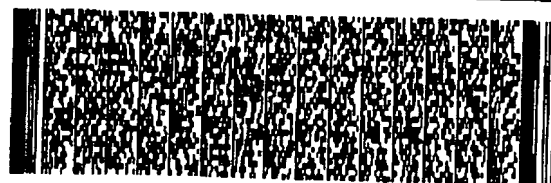
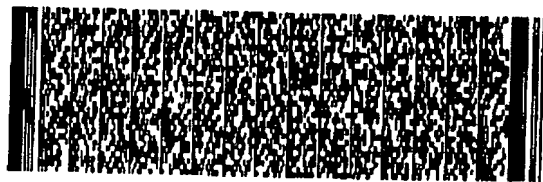
單通道實施

首先，本發明之調變器係設計為在一單通道內運作。藉由使用單一通道使迴路元件不致重複，藉此提供對電力，空間及成本之節約。

第二圖為一依據本發明一實施例配置之單通道調變器20之方塊圖。整體之目標首先為自傳輸資料推得一頻率變化軌跡 $b(t)$ ，其在下文中詳述，然後以 $b(t)$ 為基礎產生調變信號 $s(t)$ 。頻率變化軌跡 $b(t)$ 在本文中亦稱為脈衝整形濾波器輸出。單通道調變器20包括一脈衝整形濾波器

(PSF) 24，其可為一高斯低通濾波器 (GLPF)。脈衝整形濾波器24接收一時鐘信號及傳輸資料 ( $\alpha_i$ )。脈衝整形濾波器24以該輸入為基礎產生一數位版本脈衝整形濾波器輸出 $b(t)$ 。傳輸資料 ( $\alpha_i$ ) 視其用途可為由一個人電腦 (PC) 提供之資料或由一揚聲器提供之取樣聲音資料。脈衝整形濾波器24得與類比組件或數位組件實施。在較佳實施例中使用一數位實施，其在下文中詳述。

單通道調變器20進一步包括一數位類比變換器28與脈衝整形濾波器24耦合，一類比後置濾波器60與數位類比變換器28耦合，及一壓控振盪器 (VCO) 32與類比後置濾波器60耦合。數位類比變換器28接收脈衝整形濾波器24之數位輸出並將該輸出變換為一對應類比信號，其一般稱為脈衝整形濾波器輸出 $b(t)$ 。濾波器60過濾該類比信號並對壓控振盪器32提供 $b(t)$ 。然後壓控振盪器32產生一以該脈衝整形濾波器輸出 $b(t)$ 為基礎之調變信號 $s(t)$ 。由於壓控振





## 五、發明說明 (9)

盪器及其實施為習於此技藝者所熟知，本文中對壓控振盪器不多做說明。調變信號 $s(t)$ 為一適於傳輸之高頻信號。

壓控振盪器32之輸出，調變信號 $s(t)$ ；及輸入壓控振盪器32之信號，頻率變化軌跡信號 $b(t)$ ；兩者得以下式表示：

$$s(t) = \sqrt{\frac{2E}{T}} \cos[2\pi f_0 t + 2\pi f_d \int_{-\infty}^t b(\tau) d\tau]$$

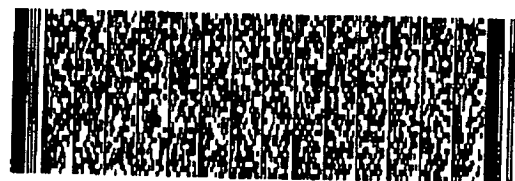
$$b(t) = \sum_{i=-\infty}^{\infty} a_i g(t - iT)$$

如先前所述，本發明首先自傳輸資料推得頻率變化軌跡 $b(t)$ ，然後以頻率變化軌跡 $b(t)$ 為基礎產生調變信號 $s(t)$ 。壓控振盪器32產生一以該頻率變化軌跡信號 $b(t)$ 為基礎之連續相位調變 (CPM) 信號 $s(t)$ 。頻率變化軌跡 $b(t)$ 係由該輸入資料符號 ( $a_i$ ) 以一脈衝整形過濾器信號 $g(t)$ 捲積產生。

本發明能藉由計算在一符號間隔期間對應於連貫輸入資料符號之脈衝整形濾波器回應之積累波形而產生 $b(t)$ 。對連貫輸入資料符號之不同組合而言，會得到不同脈衝整形濾波器回應之不同捲積波形。在一符號間隔期間產生之捲積結果波形稱為“頻率變化軌跡 (frequency variation trajectories)”，因為該軌跡改變壓控振盪器32之頻率。

#### 頻率軌跡之對稱性

第九圖一單位脈衝回應 $g(t)$ 對 $t/T$ 之圖形，圖中繪出一高斯低通濾波器之單位脈衝回應。應用於一GMSK系統之平滑整形濾波器稱為一高斯低通濾波器 (GLPF)。濾波器



## 五、發明說明 (10)

對一單位矩形脈衝之回應 $g(t)$ 由下式定義：

$$g(t) = \frac{1}{2} \left\{ \operatorname{erf} \left[ \sqrt{\frac{2}{\ln 2}} \pi B_b T \left( \frac{1}{2} - \frac{t}{T} \right) \right] - \operatorname{erf} \left[ \sqrt{\frac{2}{\ln 2}} \pi B_b T \left( -\frac{1}{2} - \frac{t}{T} \right) \right] \right\}$$

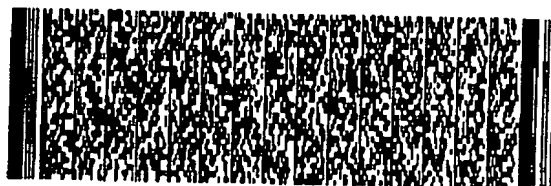
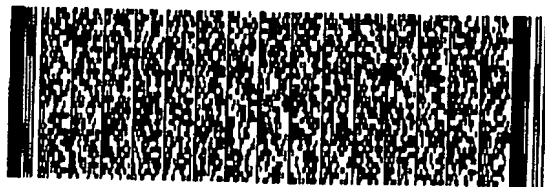
$$\text{及 } \operatorname{erf}(t) = \frac{2}{\sqrt{\pi}} \int_0^t e^{-y^2} dy$$

參數 $B_b T$ 係用以定義一特定類型之高斯低通濾波器。

舉例來說，第九圖繪出當 $B_b T$ 等於0.5時一單位脈衝回應 $g(t)$ 對 $t/T$ 之圖形。此系統利用一選擇為 $0.25 f_b$ 之頻率偏差值( $f_d$ )，其中 $f_b$ 為位元傳輸速率。由於該單元脈衝回應延長至約三個位元週期，此三個位元週期必然對該單位脈衝回應產生效應。易言之，在某些位元週期期間觀察到之 $b(t)$ 信號肇因於三個輸入資料符號（一現行傳輸位元( $\alpha_n$ )，一前一傳輸位元( $\alpha_{n-1}$ )，一後一傳輸位元( $\alpha_{n+1}$ )）。

該現行，前一及後一傳輸資料符號或位元能聚集在一起構成一二進位碼( $\alpha_{n-1}, \alpha_n, \alpha_{n+1}$ )，其中該前一傳輸位元為最重要位元，而該後一傳輸位元為最不重要位元。藉由此方式聚集該傳輸位元，能夠清楚看見在任一位元上之真實效應（亦即前一及後一位元對現行位元產生效應）。此二進位碼在本文中稱為一“傳輸型樣數字(transmitting pattern number)”。該傳輸型樣數字自0到7。易言之會有八個(0-7)不同二進位碼，該二進位碼均有三個位元。該資料符號會是一個一或一個零（亦即 $\alpha_i = 1$ 或0）。每一傳輸型樣數字有一對應頻率變化軌跡或脈衝回應（亦即一對應 $b(t)$ 信號）。

此外，第十圖繪出八個可能頻率變化軌跡（亦即在時域內之波形），且在圖形中該對應型樣資料數字以“Tx



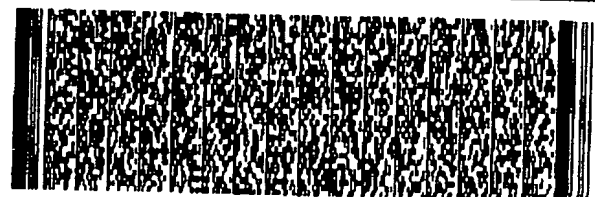
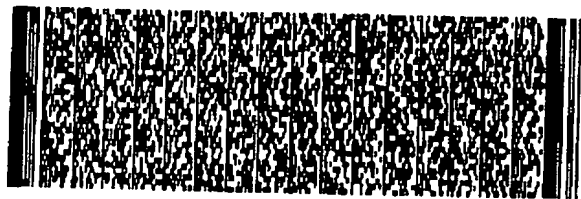
## 五、發明說明 (11)

Pattern No. " 代表。用於X軸之單位為在一位元週期期間之樣本數字。如第十一圖所示，某些軌跡對X軸對稱。舉例來說，型樣數字為0，1，2和3之軌跡分別與型樣數字為7，6，5和4之軌跡對稱。此對稱性之辨識導致更進一步之迴路縮減，如下文中參照第六圖和第八圖B加以詳述。

參照第三圖A，當八個可能頻率變化軌跡套疊在一起時，會發現該軌跡對X軸對稱。以一記號 "o" 表示之點為高斯低通濾波器在 $12/T$ 頻率運作之輸出值。在以上可能高斯低通濾波器輸出值中，有68個明確數值繪於第三圖C中並以一記號 "o" 表示。參照第三圖C，很明顯高斯低通濾波器之輸出值分布並不均勻（亦即為非線性）。因此如下文中所詳述，本發明利用一備有有限值之非線性數位類比變換器以簡化調變器之實施。對68個不同值而言，需要一種備有一最小輸入寬度為7之數位類比變換器，因為備有7個位元能呈現128個值。

#### 備有一記憶體縮減迴路之調變器

第四圖為一較詳細繪出依據本發明一實施例配置之第二圖單通道調變器之方塊圖。脈衝整形濾波器24能由一計數器54，一移位暫存器58和一後文中詳述之記憶體80實施。計數器54係用以提供一高解析數位形式之 $g(t)$ 。計數器54包括一接收一時鐘信號（CLK）之輸入，並對其回應以對記憶體80提供至少一位址位元。移位暫存器58包括一接收輸入資料符號（ $a_i$ ）之輸入，及一以該輸入資料符號為基礎對一記憶體縮減迴路74提供輸出信號之平行輸出。

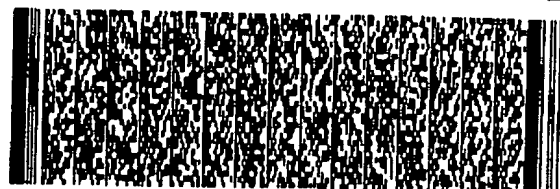
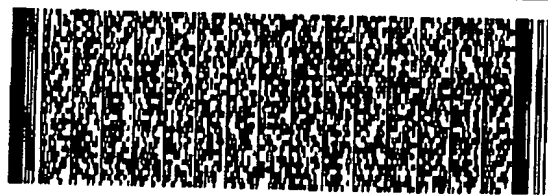


五、發明說明 (12)

該輸入資料符號以一與該時鐘信號同步之速率（已知為輸入資料符號速率）移位至移位暫存器58。該時鐘信號之速率等於區段（J）除以時間週期（T）之數字，且該時鐘信號有一為該輸入資料符號速率倍數之頻率（ $f_s$ ）。

在此註明計數器54與移位暫存器58共同構成一記憶體存取迴路，對記憶體80提供位址信號並對記憶體縮減迴路74提供輸出信號。作業上每一資料符號依據一同步符號速率時鐘載入移位暫存器58。然後移位暫存器58之輸出信號作為上位址位元以定址一具有一對應頻率變化軌跡（亦即第十圖中所繪軌跡其中之一）或脈衝回應之區域。計數器54提供作為下位址位元之信號以定址具有該選定脈衝整形回應次樣本之區域之一部份。

記憶體80包括複數個接收位址信號之輸入，及複數個提供儲存於由該位址信號指定之位址之資訊之輸出。記憶體80內之資訊藉由提供一位址而存取。在一較佳實施例中，記憶體80得為一唯讀記憶體（ROM）。記憶體80儲存有利於建構一頻率變化軌跡 $b(t)$ 之資訊。此資訊得包括脈衝整形濾波器24在一有限符號間隔如 $3T$ 期間對不同輸入資料符號之不同回應。舉例來說，該資訊得為第十圖所繪八個可能頻率變化軌跡之數位表現。如下文中參照第六圖和8B所詳述，記憶體80較佳僅儲存 $b(t)$ 之非重複值。唯讀記憶體80之輸出供與數位類比變換器44，將唯讀記憶體80之數位輸出轉換為一對應類比值 $b(t)$ 。在較佳實施例中，數位類比變換器44得包括7位元及68值或5位元及30值。該類



## 五、發明說明 (13)

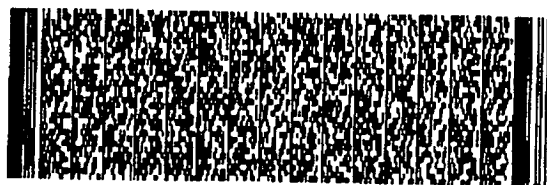
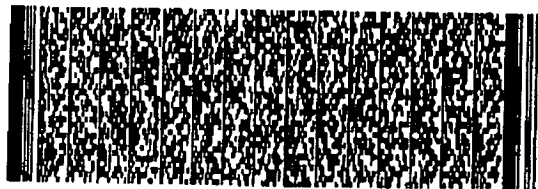
比值供與一後置濾波器60以過濾第二圖之 $b(t)$ 信號。一記憶體縮減迴路74置於記憶體80和數位類比變換器44間，且在下文中參照第六圖詳細說明。

記憶體80之大小

記憶體80得以一96乘7位元唯讀記憶體實施。在此實例中，取樣速率為 $12/T$ 。頻率變化軌跡之樣本儲存於一記憶體80內。舉例來說，在此實施例中有8個軌跡，對每個軌跡取12個樣本，每個樣本以7個位元表現（亦即需要7個位元以在68高斯低通濾波器輸出值間辨識）。因此，該記憶體之大小得為 $12（樣本／軌跡）*8（軌跡）*7（位元／樣本）$ ，其等於 $96*7$ 位元。

縮減記憶體80之輸出寬度

在一另一種實施例中，記憶體80之輸出寬度自7位元縮減至5位元。參照第三圖C，發明人發現當該高斯低通濾波器之輸出值受檢時，有些鄰近數值非常接近。舉例來說，在 $0 < x < 10$ 及 $x > 55$ 時， $y$ 值為相同或非常接近。因此，有可能將一些鄰近數值合併為一能由非線性數位類比變換器44支持之特定數值。在此實施例中，值數量自68降至30。因此，僅需要5位元表現該30值。第三圖D繪出該30個修改後高斯低通濾波器輸出值，且第三圖B繪出對應於縮減數量高斯低通濾波器輸出值之套疊頻率變化軌跡。由於高斯低通濾波器輸出值數自68縮減為30，記憶體80之寬度得自7位元縮減至5位元。比較第三圖A和第三圖B，發現到輸出值數之縮減並不明顯影響頻率變化軌跡之波形。



## 五、發明說明 (14)

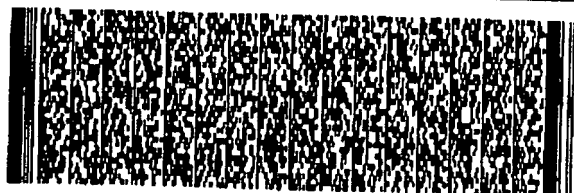
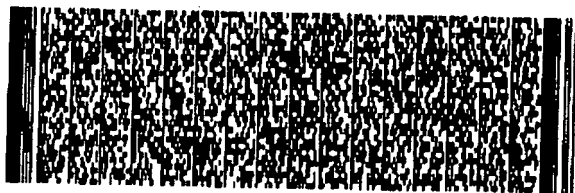
縮減記憶體80之大小

參照第三圖B，如前文所述，某些頻率變化軌跡對X軸對稱。舉例來說，群組1（型樣數字0, 1, 2, 3）與群組2（型樣數字7, 6, 5, 4）為反轉信號對稱（亦即 $b = -\alpha$ ）。因此，記憶體80內僅需儲存4個軌跡（對應於型樣數字0, 1, 2, 3），且樣本值可由2之補數表示。在2之補數格式中，最明顯之位元為正負號位元。在此實施例中，輸入資料符號決定哪一軌跡群組應載入數位類比變換器44內。當 $\alpha_{n-1}$ 等於0時，軌跡群組1進行存取。當 $\alpha_{n-1}$ 等於1時，軌跡群組2藉由獲得對應於群組1之記憶體內容並轉化該內容（亦即改變該內容之符號）而存取。

因此，在應用高斯低通濾波器輸出值之縮減及頻率變化軌跡之對稱性特徵後，記憶體80得有以下大小：12（樣本／軌跡）\*4（軌跡）\*5（位元／樣本）=48\*5位元。

該時鐘信號之頻率為13.824百萬赫茲。因此之故，計數器54得為一備有模數12（ $N=12$ ）之四位元內插計數器（亦即該計數器週期性自狀態0（LLLL）計數至狀態11（HLHH）），對記憶體80提供下位址位元（ $b_3, b_2, b_1, b_0$ ）。移位暫存器58得為一具有三階段之三位元移位暫存器，對記憶體80提供上位址位元（ $b_6, b_5, b_4$ ）。因此在此實施例中所有可能頻率變化軌跡均能儲存於記憶體80內。

如前文所述， $g(t)$ 波形經常對X軸對稱。因此，本發明藉由僅儲存頻率變化軌跡或脈衝回應之非重複絕對值以縮減記憶體80之大小並提供一記憶體縮減計劃，該計劃在



## 五、發明說明 (15)

下文中參照第六圖和8B加以詳述。

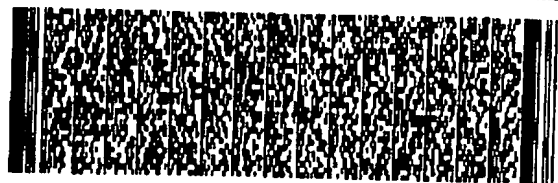
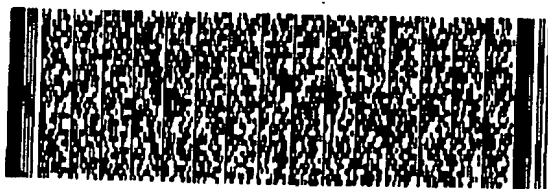
#### 第四圖單通道調變器之第一架構

第五圖為一繪出依據本發明一實施例之第四圖單通道調變器之第一架構之方塊圖。為能以 $b(t)$ 之非重複值適當將一回應之數位值重現於一脈衝整形濾波器，在此提出一種記憶體大小縮減迴路74。記憶體大小縮減迴路74與移位暫存器58耦合以接收輸入資料符號，且以該輸入資料符號為基礎產生供與記憶體80之位址信號之一部份。在此實施例中，記憶體大小縮減迴路74產生上位址位元並對記憶體80提供該上位址位元。下位址位元仍由計數器54提供。在第五圖中以一相同標記及數字代表之組件與第四圖中所述組件相似，在此不重複說明。

在此第一架構中，非線性數位類比變換器44包括一解碼器104與記憶體縮減迴路74耦合。解碼器104自記憶體縮減迴路74接收輸入信號(K位元)，對該輸入信號解碼，並以該輸入信號為基礎產生控制信號(L位元)。數位類比變換器44一包括一有限值供應器120與該解碼器104耦合。有限值供應器120以解碼器104提供之控制信號為基礎產生非線性數位類比變換器之值。

#### 記憶體縮減迴路74之實施

第六圖較詳細繪出依據本發明一實施例配置之第五圖記憶體縮減迴路。如前文參照第十一圖所述，當八個可能頻率變化型樣套疊在一起時，該型樣對X軸對稱。因此，八個頻率變化軌跡中僅有四個有需要儲存在記憶體80內。

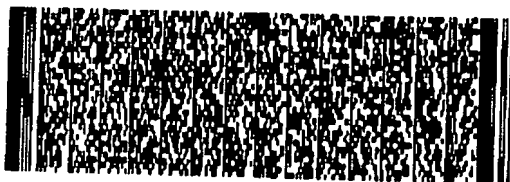


## 五、發明說明 (16)

更明確地說，四十八個樣本（亦即 $4(\text{軌跡}) \times 12(\text{樣本} / \text{軌跡})$ ）儲存於記憶體80內。因此，記憶體80得以 $-48$ 乘 $5$ 位元唯讀記憶體實施。就此點而言，記憶體80有一輸出提供輸出信號 $K[4..0]$ 。

記憶體縮減迴路74包括一第一互斥或（XOR）閘170，一第二互斥或閘180，一多工器（MUX）184，及一符號反轉迴路188。第一互斥或閘170具有一第一輸入與移位暫存器58之後一位元（ $\alpha_{n+1}$ ）耦合，一第二輸入與移位暫存器58之現行位元（ $\alpha_n$ ）耦合，及一輸出對記憶體80提供一位址信號（b4）。第二互斥或閘180具有一第一輸入與移位暫存器58之現行位元（ $\alpha_n$ ）耦合，一第二輸入與移位暫存器58之前一位元（ $\alpha_{n-1}$ ）耦合，及一輸出對記憶體80提供一位址（b5）。

符號反轉迴路188與記憶體80耦合以接收輸出 $K[4..0]$ ，且以其為基礎產生一輸出，該輸出與輸入具有相同絕對值但符號相反（亦即迴路188對其輸入乘上負一）。多工器184包括一第一輸入接收記憶體80之輸出 $K[4..0]$ ，及一第二輸入接收符號反轉迴路188之輸出，及一第三輸入自移位暫存器58之前一位元（ $\alpha_{n-1}$ ）接收一選擇信號（SEL）。以該輸入為基礎，多工器184選擇記憶體80之輸出或記憶體80以該選擇信號為基礎之修改後輸出（亦即記憶體80之輸出乘上負一）。多工器184之輸出信號 $Q[4..0]$ 供與非線性數位類比變換器44。多工器184及符號反轉迴路188得由習於此技藝者所熟知之積體電路（IC）設計





## 五、發明說明 (17)

工具合成。

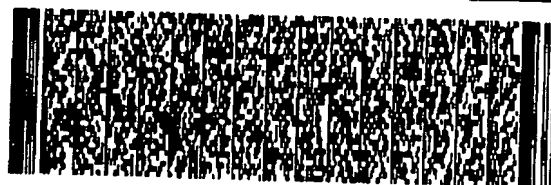
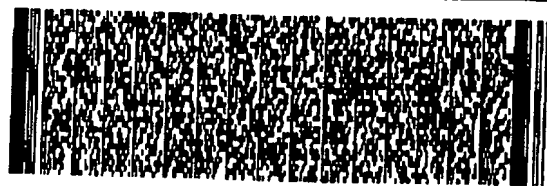
因此，記憶體縮減迴路74選擇性地對數位類比變換器44提供(1)記憶體80之輸出或(2)記憶體80以移位暫存器58之前一傳輸位元 ( $\alpha_{n-1}$ ) 為基礎乘上(-1)之輸出。由於第六圖中其他元件大致與先前第四圖和5中所述相同，相同數字用以代表以上組件，且該組件在此不多做說明。

第七圖較詳細繪出第六圖之非線性數位類比變換器44。非線性數位類比變換器44包括一解碼器104與多工器184耦合以接收信號 $Q[4..0]$ ，及一有限值供應器120與解碼器104耦合。解碼器104對所接收信號解碼並提供控制信號 $B[(L-1)..0]$ 。

有限值供應器120包括複數個電壓或電流供應器284以供應一電壓或電流，複數個開關288，及一總和迴路290。每一開關288與一個別電壓供應器284耦合並產生一輸出。每一開關288亦接收一由解碼器104提供之特別控制信號並受其控制。總和迴路290與電壓供應器284耦合以總和電壓供應器284之輸出。本發明能利用L供應器產生數位類比變換器輸出所需Q值。舉例來說，10供應器（亦即 $L=10$ ）能用以產生30輸出值。該輸出值得為不均質（亦及非線性）。

#### 第四圖單通道調變器之第二架構

第八圖A為一較詳細繪出依據本發明一另一種實施例配置之第四圖調變器第二架構。此第二架構包括一計數器54，一移位暫存器58，一記憶體100與第五圖記憶體80有



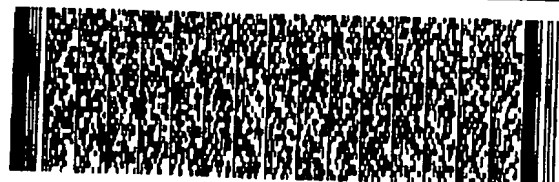
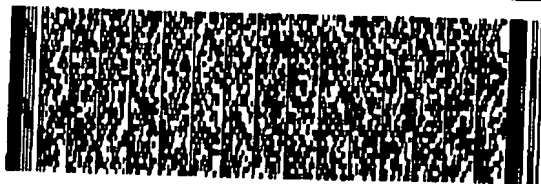
## 五、發明說明 (18)

所不同，一記憶體縮減迴路200，一有限值供應器120，及一後置濾波器160。在此註明第五圖之解碼器104在此實施例中去除。因此，一記憶體100用以執行一解碼功能。記憶體100包括頻率變化軌跡之非重複值，且亦設計為在記憶體內容執行一解碼作業。記憶體100執行一解碼功能之設計在下文中參照第十二圖詳述。記憶體100對記憶體縮減迴路200提供L位元，其中L大於或等於K，參見第五圖。記憶體縮減迴路200對其回應產生一具有L位元之輸出供與有限值供應器120。記憶體縮減迴路200得利用第八圖B所示迴路實施。

記憶體縮減迴路200之實施

第八圖B較詳細繪出依據本發明一實施例配置之第八圖A記憶體縮減迴路200。記憶體縮減迴路200之運作與記憶體縮減迴路74相似，其不同處在於數位類比變換器44以一有限值供應器120取代，記憶體80以一具有L位元而非K位元之輸出之解碼記憶體100取代。

解碼記憶體100儲存控制在頻率變化軌跡 $b(t)$ 結構中有限值供應器120之資訊。該儲存資訊為對應於第三圖D中所示頻率變化軌跡縮減後30值之數位再現。頻率變化軌跡之每一值得由一先前解碼之索引值再現以控制有限值供應器120之運作。就此點而言，第三圖D之波形得以一表再現。第十二圖為一繪出對應於得儲存於記憶體100傳輸資料位元之頻率軌跡之表。更明確地說，第十二圖之表繪出每一取樣時間傳輸資料位元與對應於一索引值之頻率變化

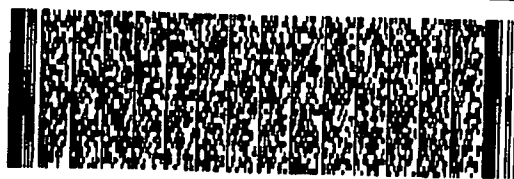
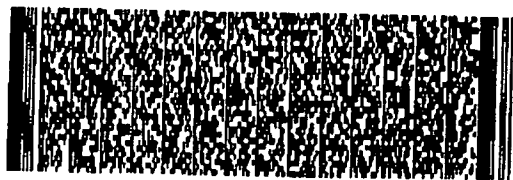


## 五、發明說明 (19)

軌跡間之關係。如第十二圖所示，當索引值考慮為波形範圍，該索引值顯現出對稱性。因此，得應用此對稱性使僅有一半索引值必需儲存於記憶體100內。在此實施例中，每一索引值以L位元再現。

記憶體縮減迴路200包括一第一互斥或閘270，一第二互斥或閘280，一多工器284，及一符號反轉迴路288。第一互斥或閘270具有一第一輸入與移位暫存器58之後一位元 ( $\alpha_{n+1}$ ) 耦合，一第二輸入與移位暫存器之現行位元 ( $\alpha_n$ ) 耦合，及一輸出對記憶體100提供一位址信號 (b4)。第二互斥或閘280具有一第一輸入與移位暫存器58之現行位元 ( $\alpha_n$ ) 耦合，一第二輸入與移位暫存器58之前一位元 ( $\alpha_{n-1}$ ) 耦合，及一輸出對記憶體100提供一位址 (b5)。

符號反轉迴路288與記憶體100耦合以接收輸出  $K[(L-1)..0]$ ，且以其為基礎產生一輸出，該輸出與輸入具有相同絕對值但符號相反 (亦即迴路288對其輸入乘上負一)。多工器284包括一第一輸入接收記憶體100之輸出  $K[(L-1)..0]$ ，及一第二輸入接收符號反轉迴路288之輸出，及一第三輸入自移位暫存器58之前一傳輸位元 ( $\alpha_{n-1}$ ) 接收一選擇信號。以該輸入為基礎，多工器284選擇記憶體100之輸出或符號反轉迴路288以該選擇信號為基礎之輸出 (亦即記憶體100之輸出乘上負一)。多工器284之輸出信號  $Q[(L-1)..0]$  供與有限值供應器120。多工器284及符號反轉迴路288得由習於此技藝者所熟知之積體電路設

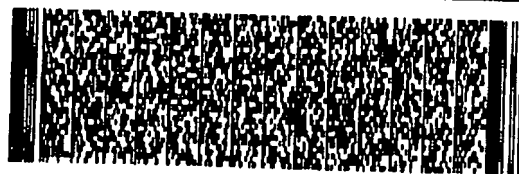
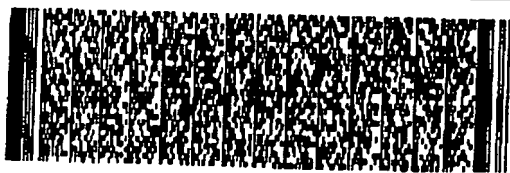


## 五、發明說明 (20)

計工具合成。有限值供應器120得如第七圖所示實施。由於第八圖B中其他元件大致與先前第四圖和5中所述相同，相同數字用以代表該組件，而該組件在此不多做說明。

如以上圖式所示及說明，本發明提供一調變器下列優點：(1)記憶體大小縮減一半，由96筆登錄縮減為48筆；(2)記憶體寬度自8位元縮減為6位元或5位元；及(3)數位類比變換器自8位元簡化為6位元或5位元。在此註明一數位類比變換器可能備有更少位元，且視其應用而定，數位類比變換器之最小位元數僅受限於所要求性能參數，例如外譜帶或調變信號及波形中可接收失真量。所有前述優點提供一更有經濟效益之調變器。能考慮將本發明實施於軟體，硬體，韌體或其組合。

在以上說明書中，已然參照特定實施例對本發明加以說明。然而很明顯能在不脫離本發明較廣義精神及範圍下達成許多不同修改或改變。因此本說明書及圖式僅作說明用途，不具限制意義。



## 六、申請專利範圍

## 1. 一種調變器，包含：

一記憶體，用以儲存資訊，該記憶體有一輸入用以接收複數個位址信號，及一輸出以所接收位址信號為基礎提供一數位輸出信號；

一存取迴路，與該記憶體耦合，用以對該記憶體及輸出信號提供一組位址信號；

一記憶體縮減迴路，與該存取迴路耦合，用以接收該存取迴路之輸出信號，並該輸出信號回應以對該記憶體提供位址信號，且與該記憶體耦合，接收該數位輸出信號，並以該數位輸出信號為基礎，提供一輸出信號；及

一數位類比變換器，與該記憶體縮減迴路耦合，用以將該記憶體縮減迴路之輸出轉換為一類比值。

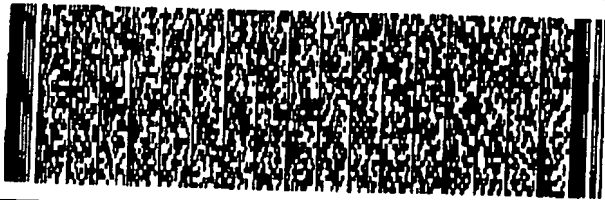
2. 如申請專利範圍第1項之調變器，其中該數位類比變換器包括一非線性數位類比變換器。

3. 如申請專利範圍第2項之調變器，其中該非線性數位類比變換器包括：

一解碼器，與該記憶體縮減迴路耦合以接收輸入信號，對該輸入信號解碼，並以該輸入信號為基礎產生控制信號；及

一有限值供應器，與該解碼器耦合以該控制信號為基礎對該非線性數位類比變換器產生值。

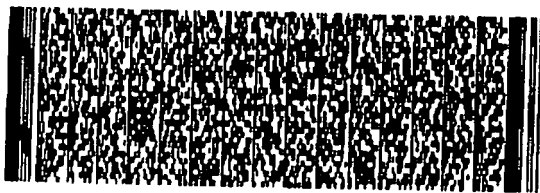
4. 如申請專利範圍第3項之調變器，其中該有限值供應器包括複數個電壓供應器，複數個開關，每一開關分別與一電壓供應器耦合以產生一輸出，及一總和迴路與該電壓供



## 六、申請專利範圍

應器耦合以總和該電壓供應器之輸出。

5. 如申請專利範圍第3項之調變器，其中該有限值供應器包括複數個電流供應器，複數個開關，每一開關分別與一電流供應器耦合以產生一輸出，及一總和迴路與該電流供應器耦合以總和該電流供應器之輸出。
6. 如申請專利範圍第1項之調變器，其中該記憶體包括非重複性頻率變化軌跡。
7. 如申請專利範圍第1項之調變器，其中該數位類比變換器包括一有限值供應器與該記憶體縮減迴路耦合，且其中該記憶體包括解碼非重複性頻率變化軌跡，該記憶體執行一解碼機能。
8. 如申請專利範圍第7項之調變器，其中該有限值供應器包括複數個電壓供應器，複數個開關，每一開關分別與一電壓供應器耦合以產生一輸出，及一總和迴路與該電壓供應器耦合以總和該電壓供應器之輸出。
9. 如申請專利範圍第7項之調變器，其中該有限值供應器包括複數個電流供應器，複數個開關，每一開關分別與一電流供應器耦合以產生一輸出，及一總和迴路與該電流供應器耦合以總和該電流供應器之輸出。
10. 如申請專利範圍第1項之調變器，其中該記憶體存取迴路進一步包括：
  - 一計數器，與該記憶體耦合，用以對該記憶體提供一第一組位址信號；及
  - 一移位暫存器，與該記憶體縮減迴路耦合，用以提供該



## 六、申請專利範圍

輸出信號。

11. 如申請專利範圍第10項之調變器，其中該記憶體縮減迴路進一步包括：

一符號反轉迴路，具有一輸入與該記憶體耦合，用以將該輸入乘上負一；

一多工器，具有一第一輸入與該記憶體耦合，一第二輸入與該符號反轉迴路耦合，一第三輸入與該移位暫存器耦合，及一輸出與該數位類比變換器耦合；

一第一互斥或閘，與該移位暫存器及記憶體耦合，用以對該記憶體提供一第一位址信號；及

一第二互斥或閘，與該移位暫存器及記憶體耦合，用以對該記憶體提供一第二位址信號。

12. 如申請專利範圍第7項之調變器，其中該記憶體縮減迴路進一步包括：

一符號反轉迴路，具有一輸入與該記憶體耦合，用以將該輸入乘上負一；

一多工器，具有一第一輸入與該記憶體耦合，一第二輸入與該符號反轉迴路耦合，一第三輸入與該移位暫存器耦合，及一輸出與該數位類比變換器耦合；

一第一互斥或閘，與該移位暫存器及記憶體耦合，用以對該記憶體提供一第一位址信號；及

一第二互斥或閘，與該移位暫存器及記憶體耦合，用以對該記憶體提供一第二位址信號。

13. 如申請專利範圍第1項之調變器，其進一步包括一類



## 六、申請專利範圍

比後置濾波器與該數位類比變換器耦合。

14. 如申請專利範圍第13項之調變器，其進一步包括一壓控振盪器與該後置濾波器耦合。

15. 如申請專利範圍第1項之調變器，其中該數位類比變換器包括7位元及68值。

16. 如申請專利範圍第1項之調變器，其中該數位類比變換器包括5位元及30值。

17. 如申請專利範圍第10項之調變器，其中該計數器為一 $N=12$ 內插計數器。

18. 如申請專利範圍第10項之調變器，其中該移位暫存器為一3階段，3位元移位暫存器。

19. 如申請專利範圍第1項之調變器，其中該記憶體為一96乘7位元唯讀記憶體。

20. 如申請專利範圍第1項之調變器，其中該記憶體為一48乘5位元唯讀記憶體。

21. 一種用以簡化一調變器之方法，該調變器具有一儲存頻率變化軌跡之記憶體，該記憶體具有一大小及寬度，且一數位類比變換器具有複數個值，與該記憶體耦合，該方法包含以下步驟：

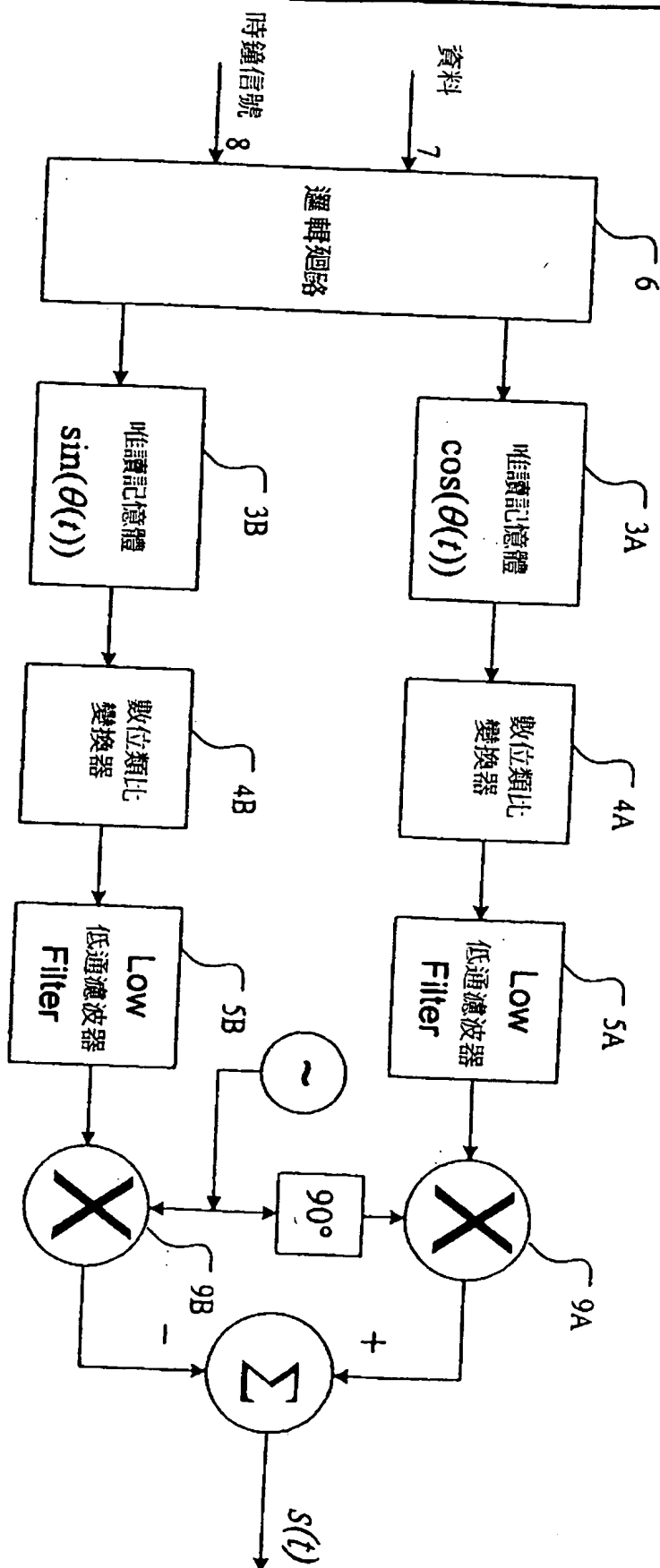
藉由縮減該數位類比變換器之輸出值數縮減該記憶體之寬度；及

藉由利用該頻率變化軌跡對一第一軸之對稱性縮減該記憶體之大小。





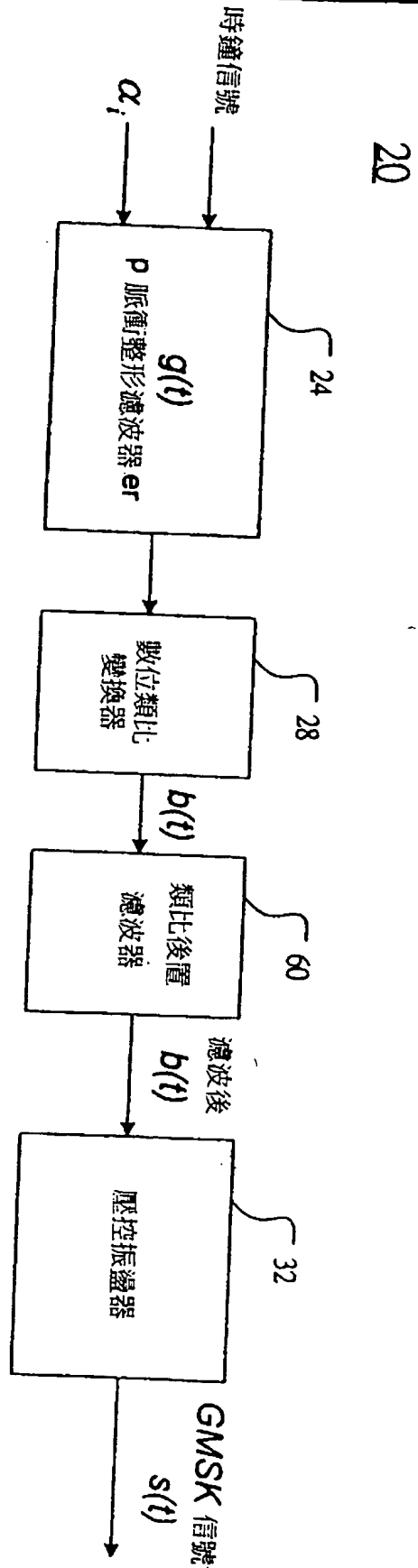
2



圖式

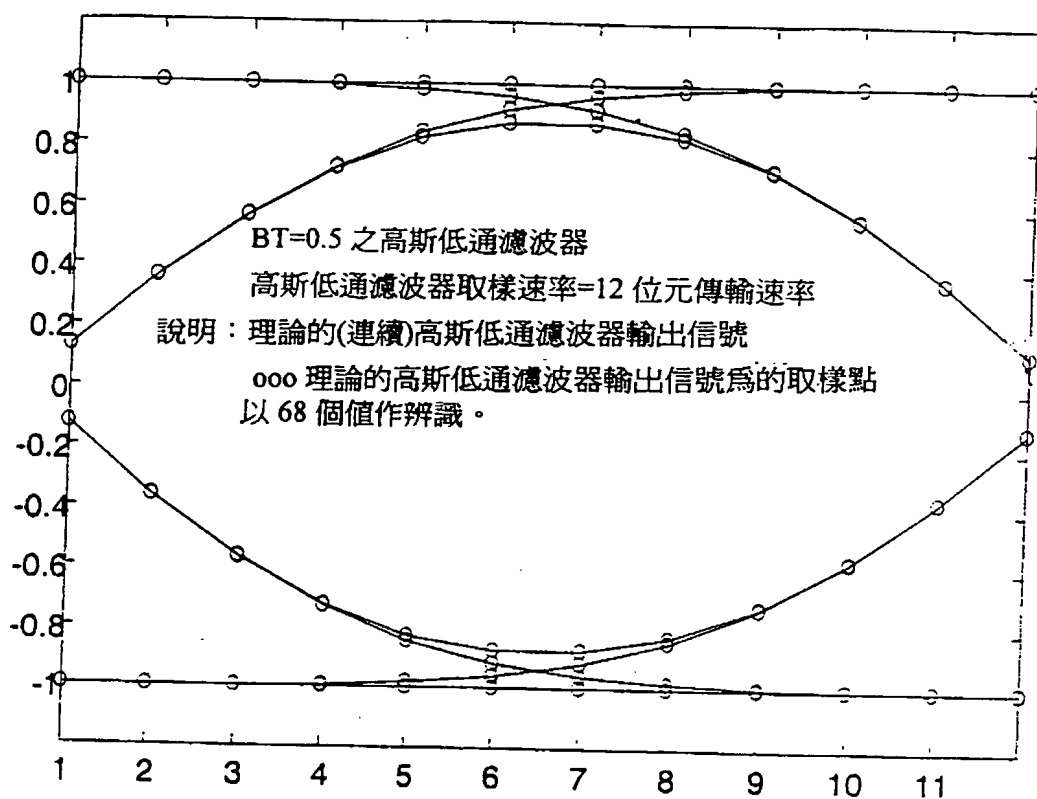
第一圖

圖式



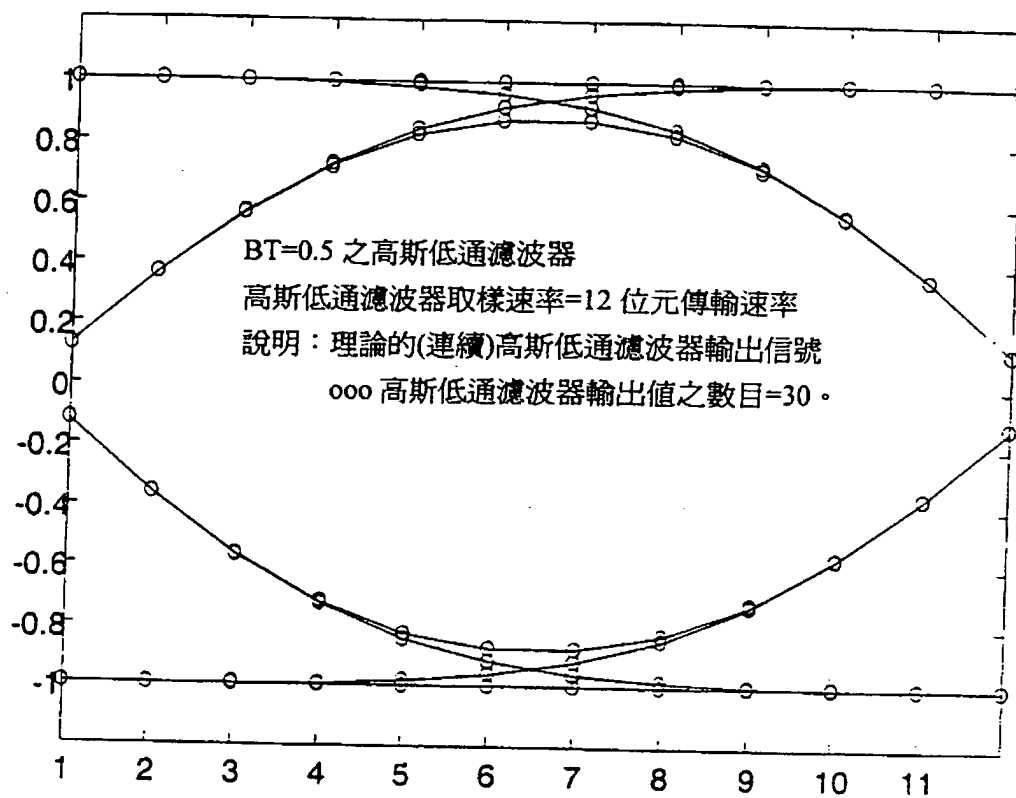
第二圖

圖式



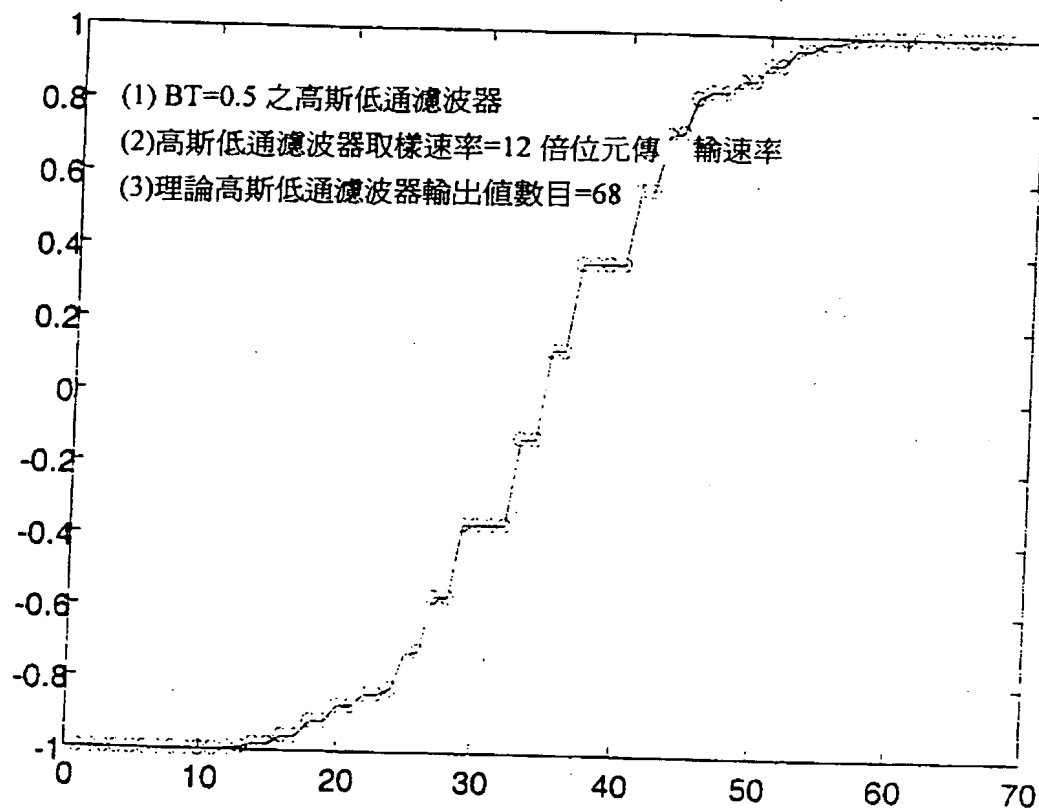
第三圖 A

圖式



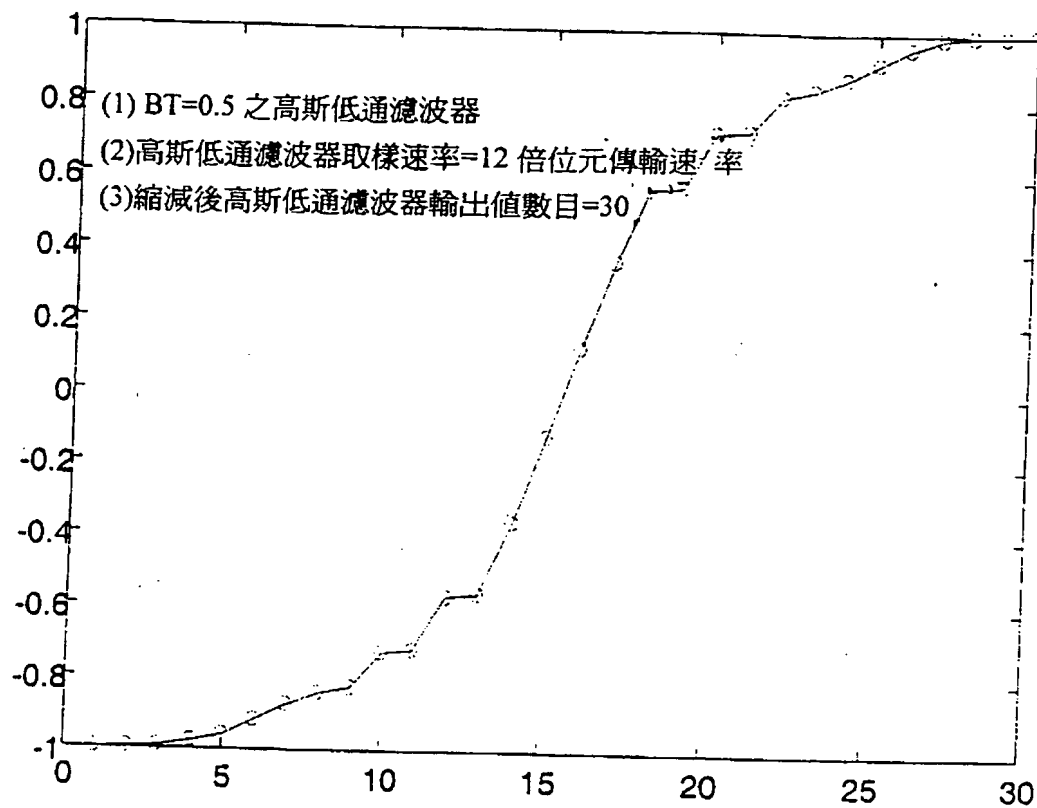
第三圖B

圖式



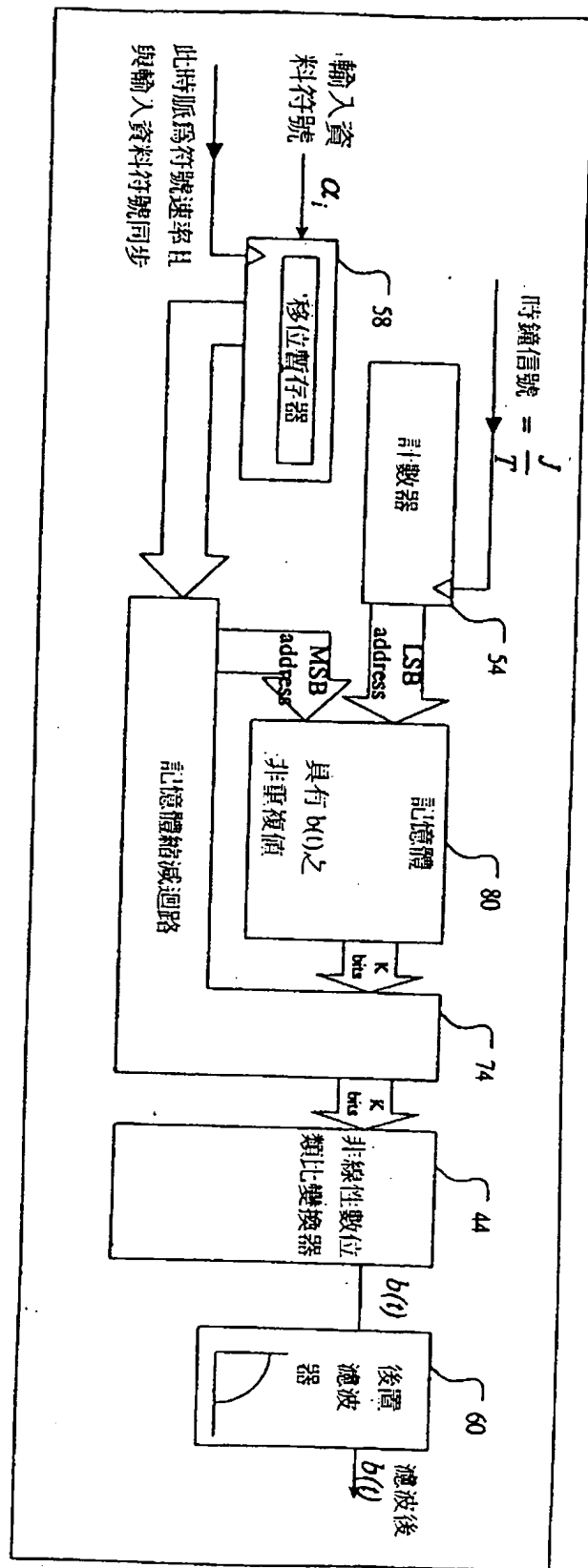
第三圖C

圖式



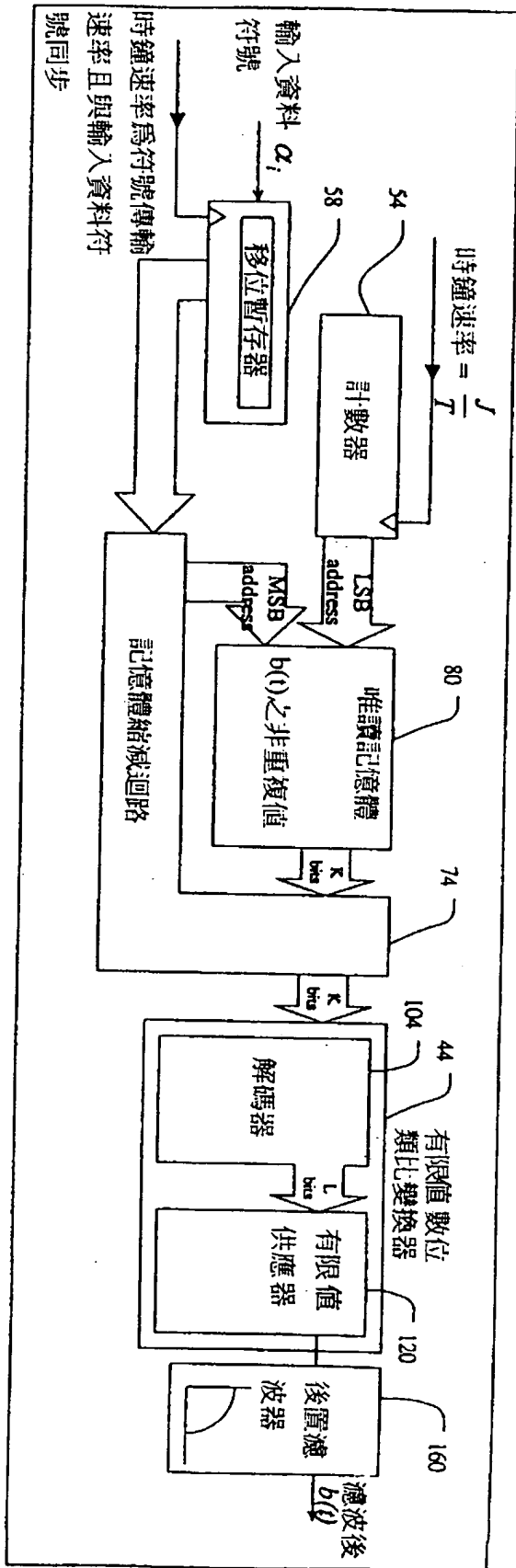
第三圖D

圖式



第四圖

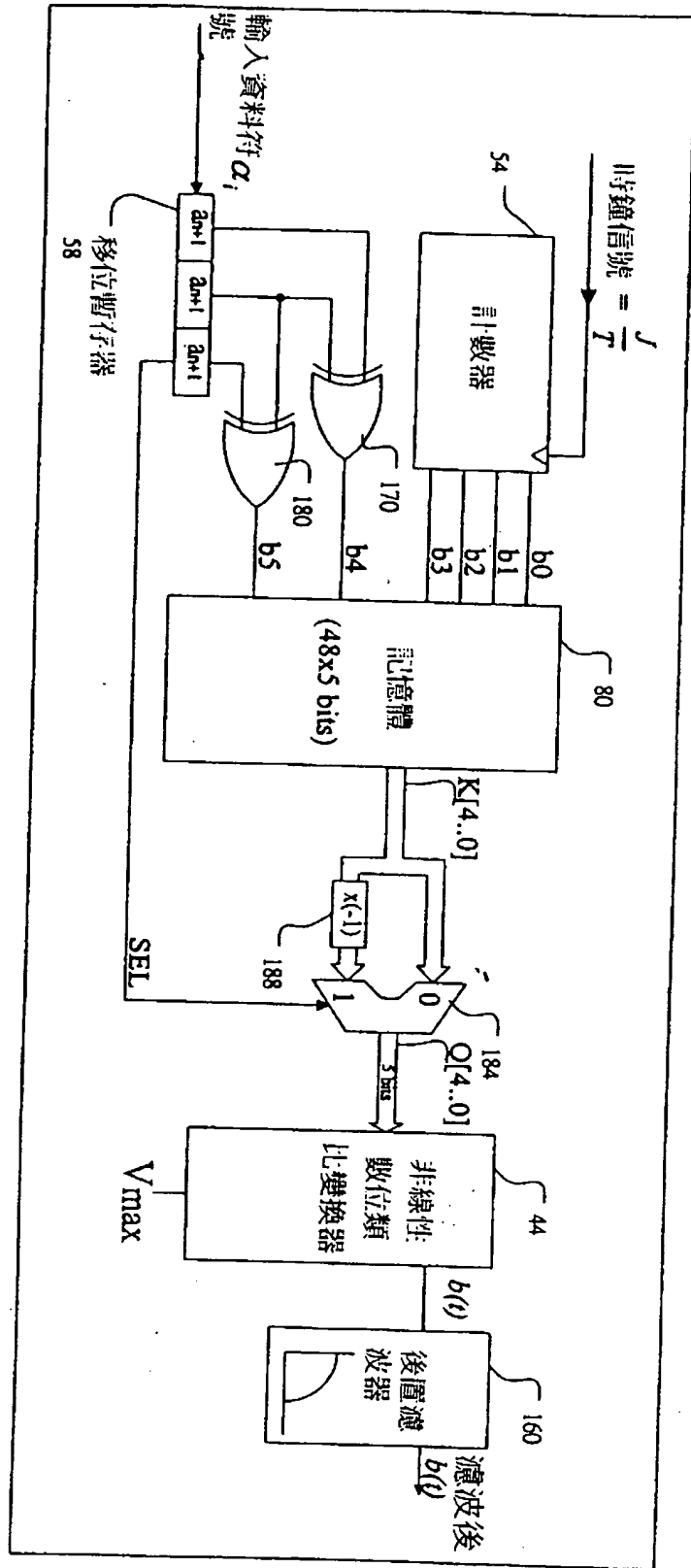
圖式



第五圖

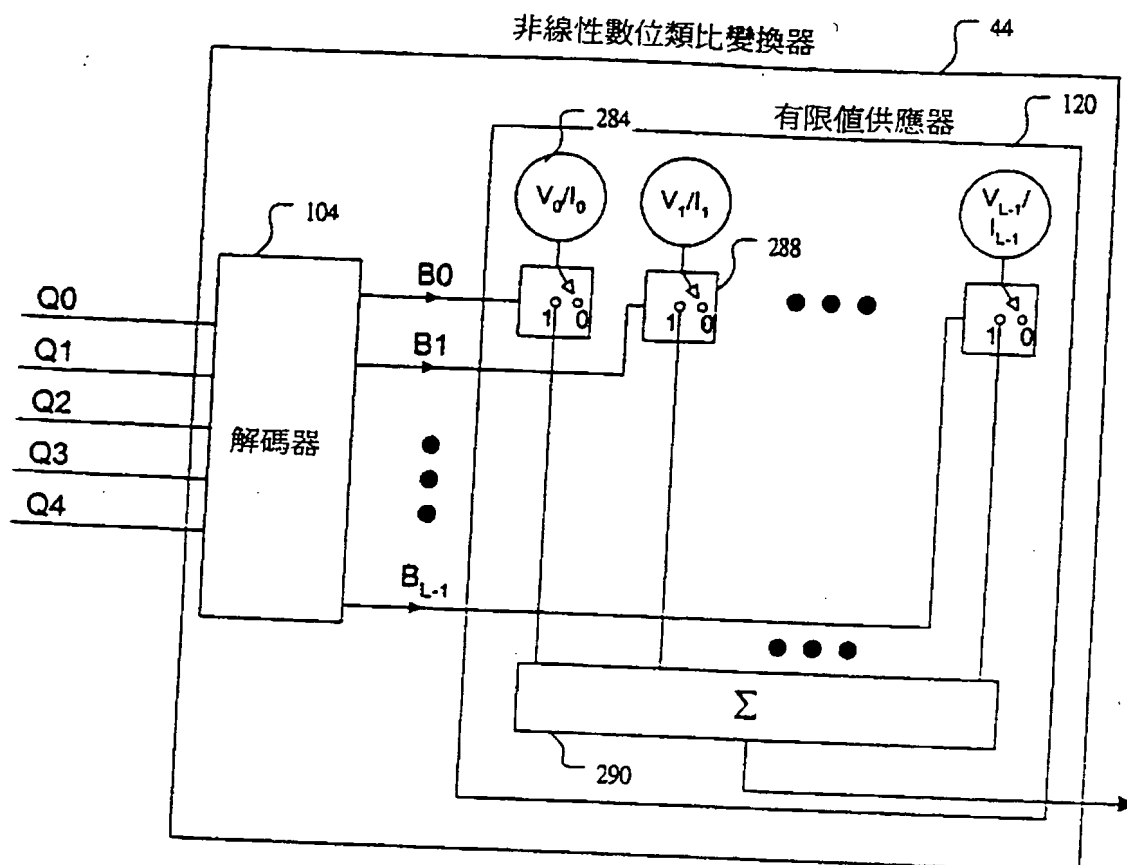


圖式



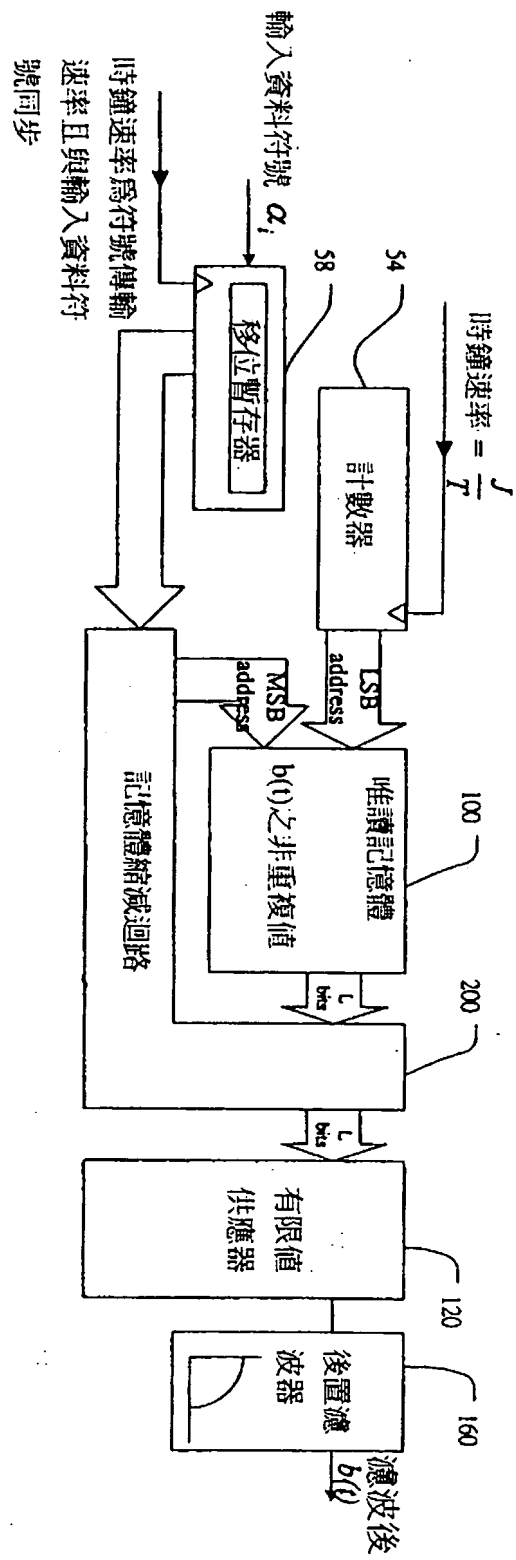
第六圖

圖式



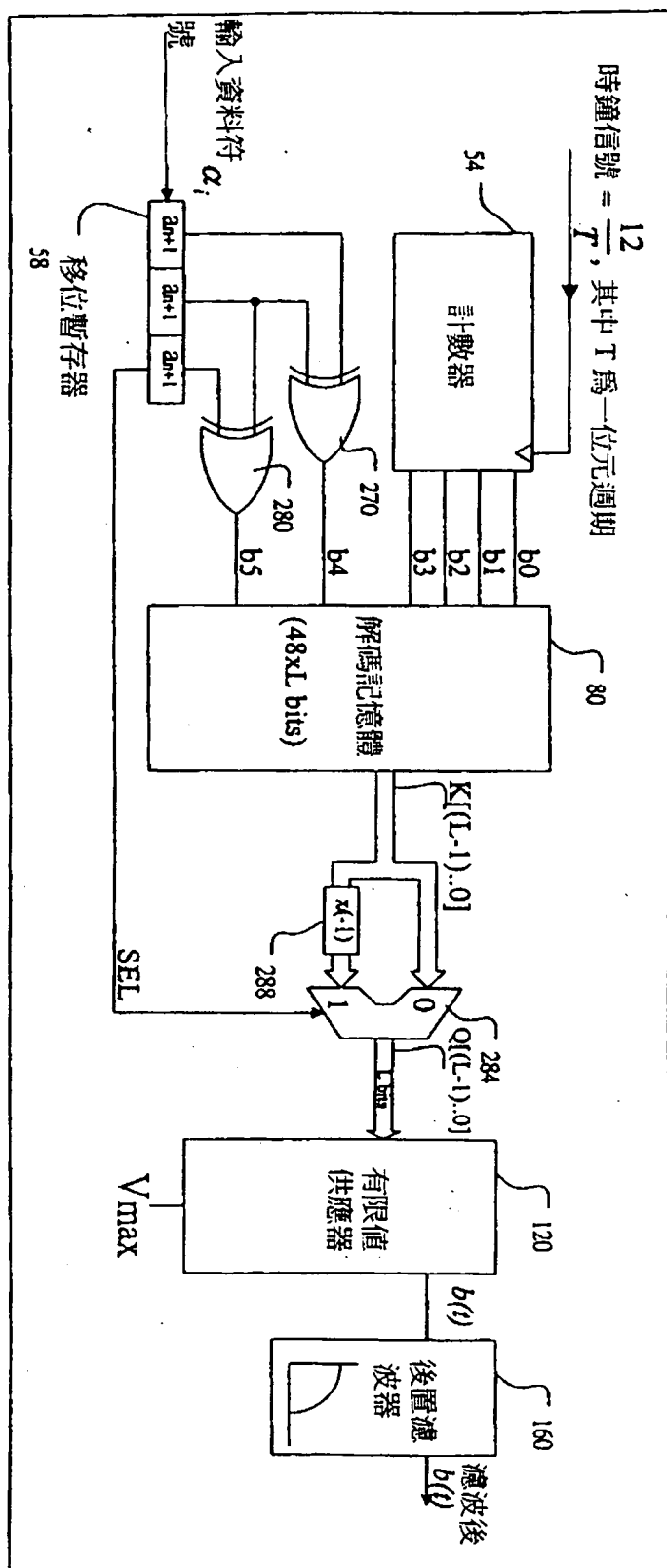
第七圖

圖式



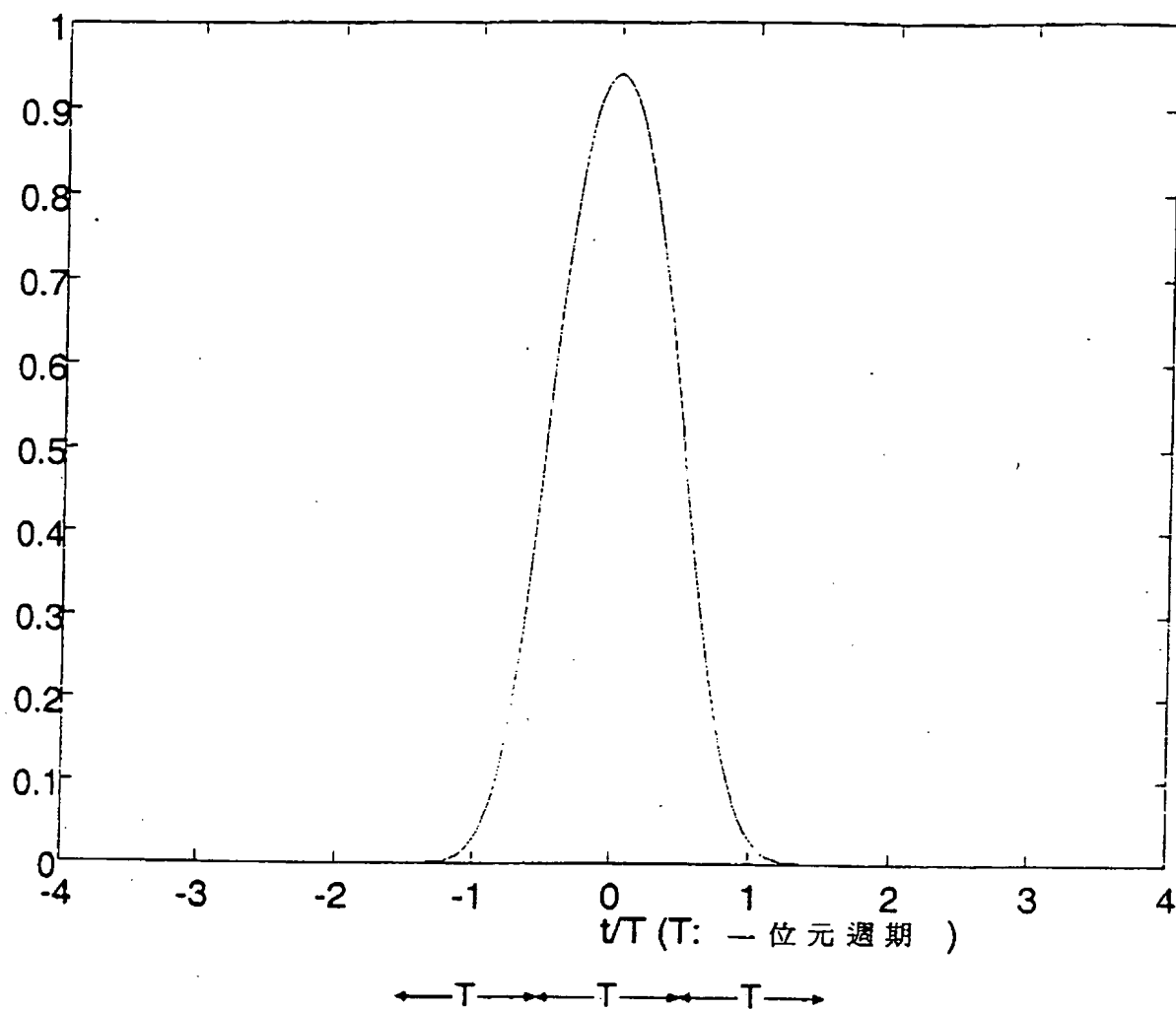
第八圖 A

圖式



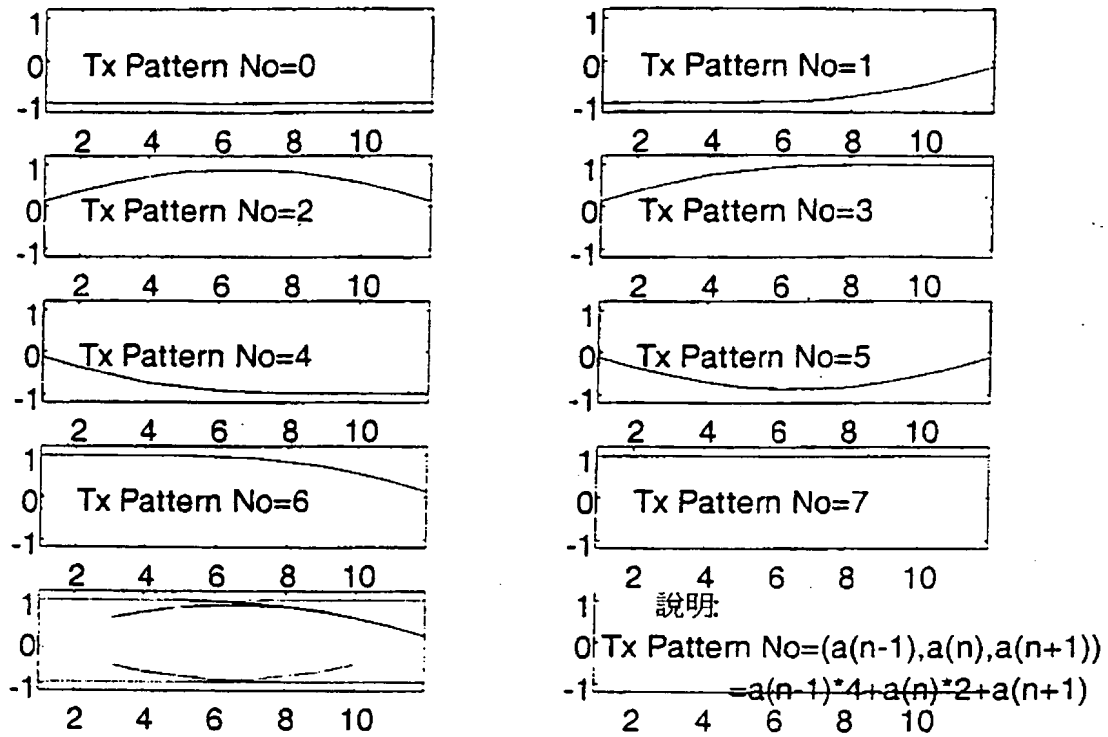
第八圖B

圖式



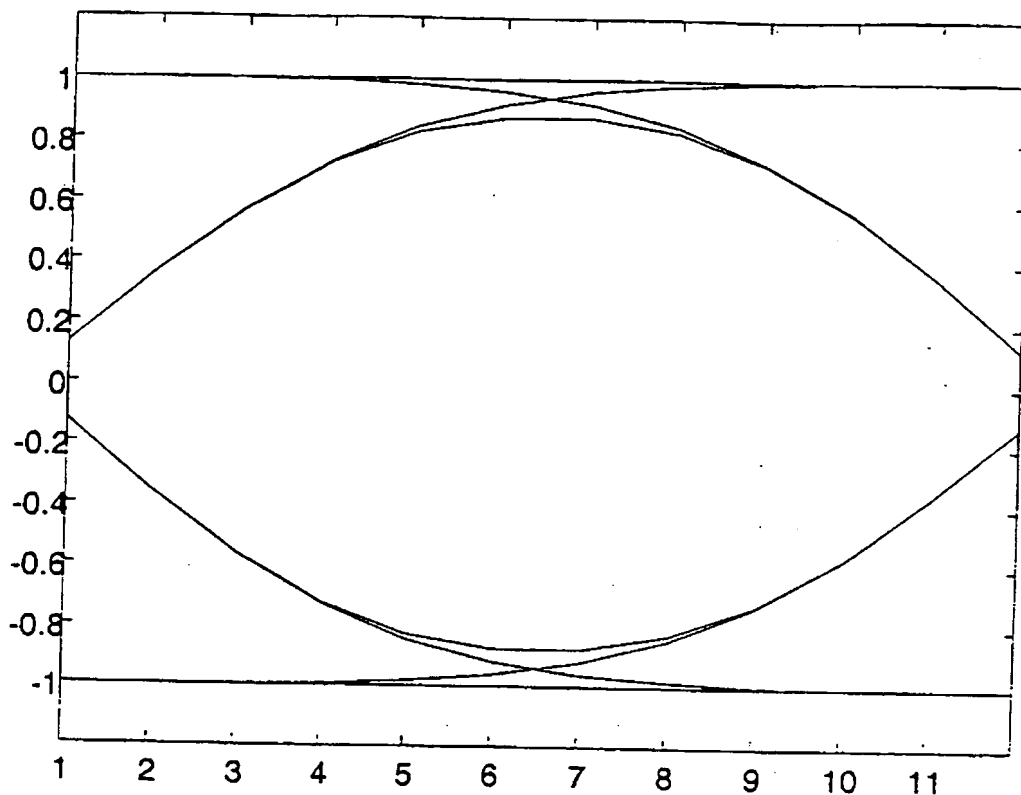
第九圖

圖式



第十圖

圖式



第一圖

傳輸資料位元			在一位元間隔期間之取樣號數											
$a_{n-1}$	$a_n$	$a_{n+1}$	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)
0	0	1	(1)	(1)	(2)	(3)	(4)	(5)	(6)	(8)	(10)	(12)	(14)	(15)
0	1	0	(16)	(17)	(18)	(20)	(22)	(24)	(24)	(22)	(20)	(18)	(17)	(16)
0	1	1	(16)	(17)	(19)	(21)	(23)	(25)	(26)	(27)	(28)	(29)	(30)	(30)
1	0	0	(15)	(14)	(12)	(10)	(8)	(6)	(5)	(4)	(3)	(2)	(1)	(1)
1	0	1	(15)	(14)	(13)	(11)	(9)	(7)	(7)	(9)	(11)	(13)	(14)	(15)
1	1	0	(30)	(30)	(29)	(28)	(27)	(26)	(25)	(23)	(21)	(19)	(17)	(16)
1	1	1	(30)	(30)	(30)	(30)	(30)	(30)	(30)	(30)	(30)	(30)	(30)	(30)

第二圖